

SANYO**三洋半導体開発ニュース**

No.※5720

52797

LE28C1001AM, AT-90/12

CMOS LSI

1M (131072ワード×8ビット)フラッシュメモリ

規定規格**概要**

LE28C1001AM, ATは、131072ワード×8ビット構成の5V単一電源動作によるフラッシュメモリである。周辺CMOS回路の採用により、高速、低消費電力の使いよさを実現している。また、128バイトページ書換え機能により、データ書換えが高速である。

特長

- ・高信頼性2層ポリシリコンCMOSフラッシュEEPROMプロセスを使用している。

- ・5V単一電源によるリード/ライト動作が可能である。

- ・高速アクセス時間 : 90ns/120ns

- ・低消費電力

- 動作電流 (リード) : 30mA (max)

- スタンバイ電流 : 20μA (max)

- ・高信頼性リード/ライト

- 消去/書込回数 : $10^4/10^3$ 回

- データ保持期間 : 10年

- ・アドレス/データラッチ

- ・高速ページ書換え動作

- 128バイト/ページ

- ページ書換え時間 : 5ms (typ)

- チップ書換え時間 : 5s (typ)

- ・内部Vpp発生による自動書換え

- ・書換え終了検知機能 : トグルビット/Dataポーリング

- ・ハードウェアおよびソフトウェアによるデータ保護機能

- ・全入出力レベルTTLコンパチブル

- ・JEDEC Byte-Wide EEPROM Standardに準拠したピン配置である。

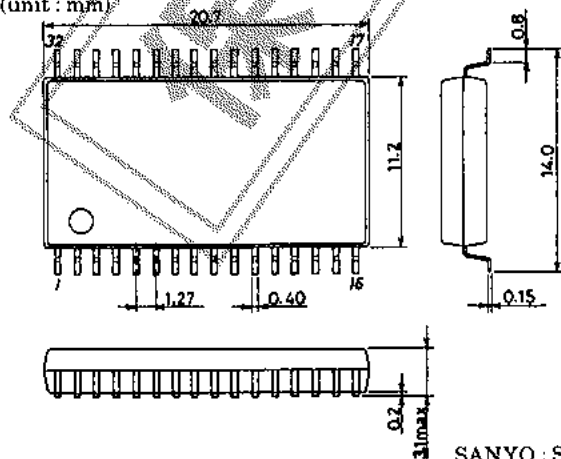
- ・パッケージ

SOP32ピン (525mil)

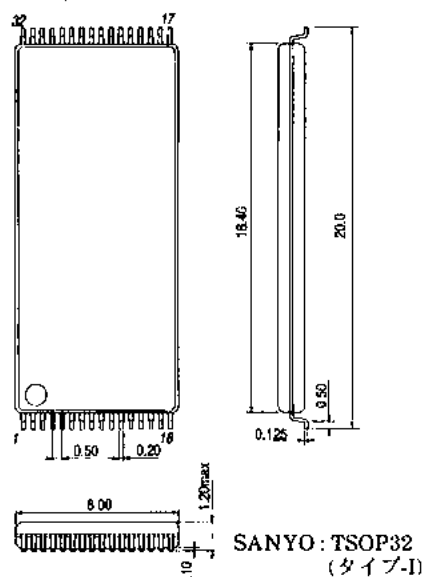
プラスチックパッケージ: LE28C1001AM

TSOP32ピン (8mm×20mm)

プラスチックパッケージ: LE28C1001AT

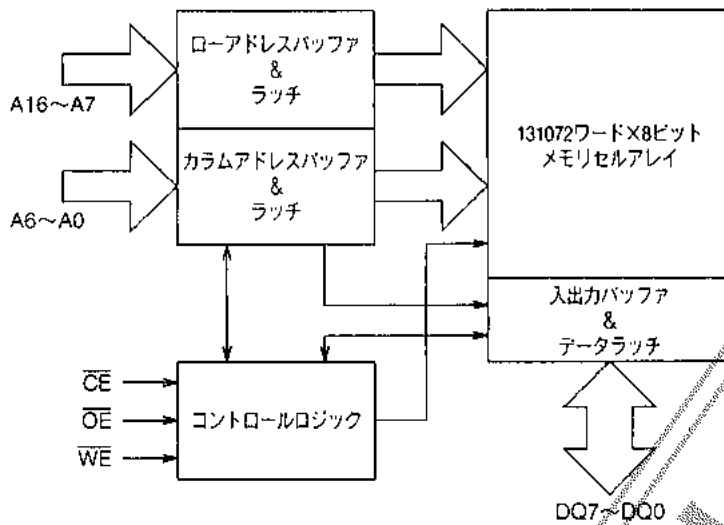
外形図 3205
(unit: mm)

SANYO: SOP32

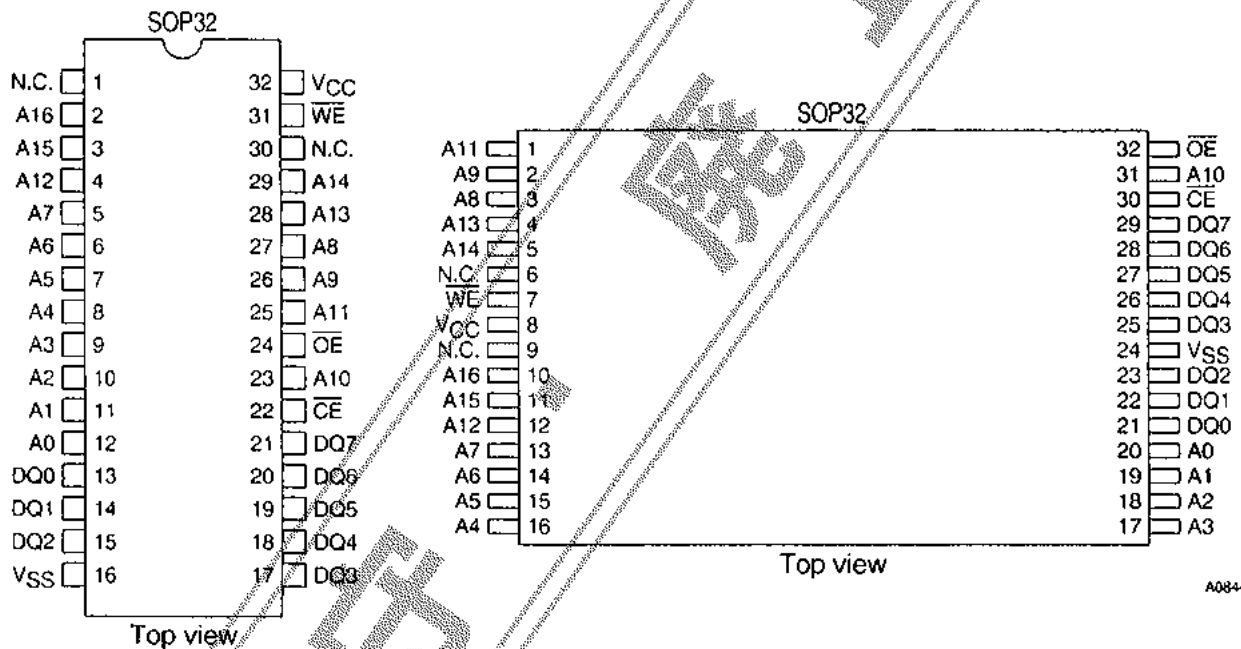
外形図 3224
(unit: mm)SANYO: TSOP32
(タイプ-I)

この製品は米国SST社 (Silicon Storage Technology, Inc.) のライセンスを受け三洋電機株式会社で製造、販売するものです。

ブロック図



ピン配置図



端子説明

ピン名	タイプ	機能説明
A16~A0	アドレス入力	メモリにアドレスを供給する。 ライトサイクルではアドレスは内部にラッチされる。
DQ7~DQ0	データ入力/出力	リードサイクルではデータを出力しライトサイクルではデータを入力する。 ライトサイクルではデータは内部でラッチされる。 $\overline{OE}$ または $\overline{CE}$ が「H」レベルのとき出力は、高インピーダンス状態である。
$\overline{CE}$	チップイネーブル	$\overline{CE}$ が「L」レベルの時デバイスをアクティブにする。 $\overline{CE}$ が「H」レベルの時デバイスを非選択にリスタンバイ状態となる。
$\overline{OE}$	アウトプットイネーブル	データ出力バッファをアクティブにする。 $\overline{OE}$ は低アクティブである。
$\overline{WE}$	ライトイネーブル	ライト動作をアクティブにする。 $\overline{WE}$ は低アクティブである。
V_{CC}	電源	5V $\pm$ 10%を供給する。
V_{SS}	接地	
N.C.	ノーコネクション	内部チップと接続されていない。

機能論理

モード	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	A16~A0	DQ7~DQ0
リード	V_{IL}	V_{IL}	V_{IH}	A_{IN}	D_{OUT}
ライト	V_{IL}	V_{IH}	V_{IL}	A_{IN}	D_{IN}
スタンバイ	V_{IH}	X	X	X	High-Z
ライトインヒビット	X	V_{IL}	X	X	High-Z/ D_{OUT}
	X	X	V_{IH}	X	High-Z/ D_{OUT}
ソフトウェアチップ消去 (5V単一)	V_{IL}	V_{IH}	V_{IL}	A_{IN}	D_{IN}
製品識別	V_{IL}	V_{IL}	V_{IH}	A16~A10= V_{IL} , A8~A1= V_{IL} , A9=12V, A0= V_{IL}	製造者コード (BF)
				A16~A10= V_{IL} , A8~A1= V_{IL} , A9=12V, A0= V_{IH}	デバイスコード (07)

ソフトウェアデータプロテクションのコマンド

バイトシーケンス	セットプロテクション		リセットプロテクション	
	アドレス	データ	アドレス	データ
0ライト	5555	AA	5555	AA
1ライト	2AAA	55	2AAA	55
2ライト	5555	A0	5555	80
3ライト			5555	AA
4ライト			2AAA	55
5ライト			5555	20

アドレスおよびデータは16進表記

ソフトウェアチップ消去のコマンドコード (5V単一電源)

バイトシーケンス	アドレス	データ
0ライト	5555	AA
1ライト	2AAA	55
2ライト	5555	80
3ライト	5555	AA
4ライト	2AAA	55
5ライト	5555	10

アドレスおよびデータは16進表記

ソフトウェアプロダクトID開始コマンドコード および 終了コマンドコード

バイトシーケンス	プロダクトID開始		プロダクトID終了	
	アドレス	データ	アドレス	データ
0ライト	5555	AA	5555	AA
1ライト	2AAA	55	2AAA	55
2ライト	5555	80	5555	F0
3ライト	5555	AA		
4ライト	2AAA	55		
5ライト	5555	60		

ソフトウェアプロダクトIDコマンドの説明

1. アドレス および データは16進表記
2. A14~A1= V_{IL} ,
A0= V_{IL} の時製造者のコード (BF)が読出される。
A0= V_{IH} の時デバイスコード (07)が読出される。
3. デバイスは電源遮断後、ソフトウェアプロダクトIDモードの状態を保持していない。
4. A16, A15は V_{IH} または V_{IL} .

デバイス動作

1Mフラッシュメモリは、5V単一電源で電氣的な書換えが可能である。LE28C1001AM, ATは工業標準のピン配置および機能とコンパチブルである。

リード

LE28C1001AM, ATのリード動作は $\overline{CE}$ と $\overline{OE}$ によって制御され、ホストが出力からデータを得るためには、両方の端子とも「L」レベルにしなければならない。 $\overline{CE}$ はチップの選択に使用する。 $\overline{CE}$ が「H」レベルの時、チップは非選択状態であり、スタンバイ電流のみが消費される。 $\overline{OE}$ は出力の制御に使用する。 $\overline{CE}$ または $\overline{OE}$ のいずれかが「H」レベルであればデバイスの出力端子は高インピーダンス状態となる。

詳細はタイミング波形を参照(図1)。

ページライト動作

ライト動作は、 $\overline{CE}$ と $\overline{WE}$ が「L」レベルでかつ $\overline{OE}$ が「H」レベルで開始される。ライト動作は三段階により実行される。第一段階は、ホストからLE28C1001AM, AT内のページバッファに書込みを行うバイトロードサイクルである。第二段階は、ページバッファ内のデータを不揮発性メモリセルアレイに書込む内部プログラミングサイクルである。バイトロードサイクルでは、アドレスは $\overline{CE}$ または $\overline{WE}$ の立下りのタイミングのいずれが早い方でラッチされる。入力データは $\overline{CE}$ または $\overline{WE}$ の立上りのタイミングのいずれが早い方でラッチされる。内部プログラミングサイクルは、 $\overline{WE}$ または $\overline{CE}$ が200 μ s(t_{BLCO})の期間、「H」レベルのままであれば開始される。このプログラミングサイクルがひとたび開始されるとプログラミング動作が完全に終了するまで動作し続けられる。この動作は、5ms(typ)以内に実行される。図2、図3は、 $\overline{WE}$ および $\overline{CE}$ コントロールライトサイクルのタイミングダイアグラムで、図10はフローチャートである。

ページライト動作では、内部プログラミングサイクルの前に128バイトのデータをLE28C1001AM, AT内のページバッファに書込むことができる。5ms(typ)の内部プログラミングサイクル中、ページバッファ内の全てのデータはメモリセルアレイへ書込まれる。よってLE28C1001AM, ATのページライト機能は、5s(typ)で全てのメモリセルの書換えを可能としている。内部プログラミングサイクルが完了するまでの間、ホストはシステム内の他の場所にあるデータを移動し、次のページライトに必要なデータを準備する等、自由にふるまうことができる。各々のページライト動作において、ページバッファにロードさせる全てのバイト情報は、A7からA16の同じページアドレスでなければならない。バイトロードされなかったデータは全てFFHになる。

図2は、ページライトサイクルのタイミングダイアグラムである。一回目のバイトロードサイクルの後、100 μ sのバイトロードサイクルタイム(t_{BLC})以内に、ホストがページバッファに二回目のバイトロードを行えば、LE28C1001AM, ATはページロードサイクルに留まり、連続してデータをロードできる。最後の $\overline{WE}$ の立上り後、次に $\overline{WE}$ が「H」レベルから「L」レベルへ遷移しない場合のように、前回のバイトロードサイクルから200 μ s(t_{BLCO})以内にページバッファへ追加データのロードを行わないと、ページロードサイクルは終了する。ページバッファ内のデータは、次のバイトロードサイクルで書換えられる。

ページロード期間は100 μ sのバイトロードサイクル以内にホストがデバイスにデータをロードし続けると無制限に継続することができる。ロードされるページは最後にバイトロードされたページアドレスにより確定する。

ライト動作状態の検知

LE28C1001AM, ATはライトサイクルの終了を検知する二つの機能を有している。これらの機能は、システムのライトサイクル時間を最適化するために用いる。この検知機能は、Dataポーリング(DQ7)とトグルビット(DQ6)の二つの状態ビットで検知する。

Dataポーリング(DQ7)

LE28C1001AM, ATが内部プログラミングサイクル中である時、ページ、バイトロードサイクル期間中、DQ7には最後にロードされたデータの逆データが読出される。内部プログラミングサイクルが終了するとDQ7には最後にロードされたデータが読出される。図4に、Dataポーリングサイクルのタイミングダイアグラム、図11にフローチャートを示す。

トグルビット(DQ6)

内部プログラミングサイクル中、DQ6には“0”データと“1”データが交互に連続して読出される(“0”と“1”の間をトグルリングする)。内部プログラミングサイクルが終了するとトグルリングは停止し、デバイスは次の動作が可能となる状態となる。図5に、トグルビットのタイミングダイアグラム、図11にフローチャートを示す。

データの保護

ハードウェアデータプロテクション

ノイズ/グリッジプロテクション: 15ns以下の $\overline{WE}$ または $\overline{OE}$ へのパルスではライト動作はしない。

電源(V_{CC})投入, 遮断検知: プログラミング動作は V_{CC} が2.5V以下では禁止される。

ライトインヒビットモード: $\overline{OE}$ が「L」レベル, $\overline{CE}$ が「H」レベルまたは $\overline{WE}$ が「H」レベルであれば書き込み動作を禁止する。これにより電源の投入, 遮断期間に書き込みが行われないようにする。

ソフトウェアデータプロテクション

LE28C1001AM, ATはJEDECで認可されたオプションのソフトウェアデータプロテクション機能を有する。この機能では、ライト動作のデータロードに先立って3バイトのバイトロード動作を行わなければならない。3バイトのバイトロードシーケンスはいずれのライト動作も活性化することなしにページロードサイクルを開始する。よって、電源の投入, 遮断時のノイズをトリガとしたような不用意なライトサイクルに対しての最適な保護方式となる。LE28C1001AM, ATはソフトウェアデータプロテクションが無効状態で出荷されている。

ソフトウェアデータプロテクション回路は、ページロードサイクルにおいて、データシーケンスに先立ってデバイスに3バイトのバイトロードサイクルを実行することによって活性化する(図6)。これによってデバイスは自動的にデータプロテクションモードに入る。この後のライト動作には先立つ3バイトのバイトロードサイクルが必要となる。デバイスをデータプロテクションモードから解除するには6バイトのライトシーケンスが必要である。図7にタイミングダイアグラムを示す。ソフトウェアデータプロテクションモード期間中にライトを試みるとデバイスは200 μ sの間全ての機能が停止する。図12にフローチャートを示す。

チップ消去

LE28C1001AM, ATは全てのメモリセルアレイを消去して“1”状態にするチップ消去モードを有している。このモードは高速にデータを消去する必要がある時、特に有用である。

5V単一電源ソフトウェアチップ消去

ソフトウェアチップ消去モードは、ソフトウェアデータ保護のようにページモード動作によって特別に定義された6バイトのバイトロードシーケンスを実行することで開始される。ロードサイクル実行後、デバイスはライトサイクルに類似した内部タイマサイクルに入る。図8にタイミングダイアグラム, 図14にフローチャートを示す。

製品識別

製品識別モードは、デバイスおよび製造者を認識するために用いる。このモードは、ハードウェアおよびソフトウェアによって使用可能である。ハードウェア動作モードは、外部プログラム装置を用いた場合に、デバイスに合ったアルゴリズムを認識するために使用される。また、ソフトウェア製品認識モードによって、ユーザが製品番号を認識することも可能である。フローチャートを図13に示す。製造者およびデバイスコードはどちらのモードでも共通である。

絶対最大定格

項 目	記 号	定格値	unit	注
電源電圧	V_{CC}	$-0.5 \sim +6.0$	V	1
入力端子電圧	V_{IN}	$-0.5 \sim V_{CC} + 0.5$	V	1, 2
DQ端子電圧	V_{OUT}	$-0.5 \sim V_{CC} + 0.5$	V	1, 2
A9端子電圧	V_{A9}	$-0.5 \sim +14.0$	V	1, 3
許容消費電力	$P_d \text{ max}$	600	mW	1, 4
動作周囲温度	T_{opr}	$0 \sim +70$	°C	1
保存周囲温度	T_{stg}	$-65 \sim +150$	°C	1

注1) 絶対最大定格以上のストレスが印加された場合、破壊を起こす恐れがある。

2) パルス幅20ns未満の場合は $-1.0V \sim V_{CC} + 1.0V$

3) パルス幅20ns未満の場合は $-1.0V \sim +14V$

4) $T_a = 25^\circ\text{C}$

DC許容動作範囲 / $T_a = 0 \sim +70^\circ\text{C}$

項 目	記 号	min	typ	max	unit
電源電圧	V_{CC}	4.5	5.0	5.5	V
入力「L」レベル電圧	V_{IL}			0.8	V
入力「H」レベル電圧	V_{IH}	2.0			V

DC電気的特性 / $T_a = 0 \sim +70^\circ\text{C}$, $V_{CC} = 5V \pm 10\%$

項 目	記 号	条 件	min	typ	max	unit
リード時動作電流	I_{CCR}	$\overline{OE} = \overline{OE} = V_{IL}$, $\overline{WE} = V_{IH}$, 全てのDQは開放 アドレス入力 = V_{IH}/V_{IL} , 動作周波数 = $1/t_{RC} \text{ (min)}$, $V_{CC} = V_{CC \text{ max}}$			30	mA
ライト時動作電流	I_{CCW}	$\overline{OE} = \overline{WE} = V_{IL}$, $\overline{OE} = V_{IH}$, $V_{CC} = V_{CC \text{ max}}$			50	mA
TTLスタンバイ電流	I_{SB1}	$\overline{OE} = \overline{OE} = \overline{WE} = V_{IH}$, $V_{CC} = V_{CC \text{ max}}$			3	mA
CMOSスタンバイ電流	I_{SB2}	$\overline{OE} = \overline{OE} = \overline{WE} = V_{CC} - 0.3V$, $V_{CC} = V_{CC \text{ max}}$			20	μA
入力リーク電流	I_{LI}	$V_{IN} = V_{SS} \sim V_{CC}$, $V_{CC} = V_{CC \text{ max}}$			10	μA
出力リーク電流	I_{LO}	$V_{IN} = V_{SS} \sim V_{CC}$, $V_{CC} = V_{CC \text{ max}}$			10	μA
出力「L」レベル電圧	V_{OL}	$I_{OL} = 2.1\text{mA}$, $V_{CC} = V_{CC \text{ min}}$			0.4	V
出力「H」レベル電圧	V_{OH}	$I_{OH} = -400\mu\text{A}$, $V_{CC} = V_{CC \text{ min}}$	2.4			V

入出力容量 / $T_a = 25^\circ\text{C}$, $V_{CC} = 5V \pm 10\%$, $f = 1\text{MHz}$

項 目	記 号	条 件	max	unit
入出力容量	C_{DQ}	$V_{DQ} = 0V$	12	pF
入力容量	C_{IN}	$V_{IN} = 0V$	6	pF

電源投入タイミング

項 目	記 号	max	unit
電源投入からリード動作までの時間	$t_{PU-READ}$	100	μs
電源投入からライト動作までの時間	$t_{PU-WRITE}$	5	ms

AC電気的特性 / $T_a = 0 \sim +70^\circ\text{C}$, $V_{CC} = 5\text{V} \pm 10\%$

ACテスト条件 (図9参照)

入力立上り/立下り時間 10ns以下

出力負荷 1TTLゲート+100pF

リードサイクル

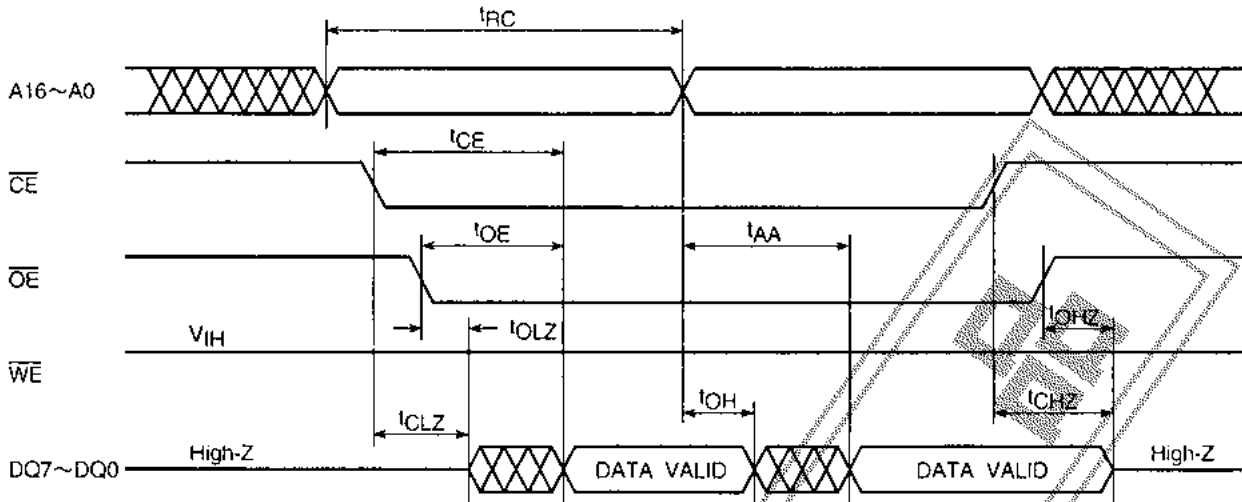
項 目	記号	LE28C1001AM, AT				unit
		-90		-12		
		min	max	min	max	
リードサイクル時間	t _{RC}	90		120		ns
$\overline{CE}$ アクセス時間	t _{CE}		90		120	ns
アドレスアクセス時間	t _{AA}		90		120	ns
$\overline{OE}$ アクセス時間	t _{OE}		50		60	ns
$\overline{CE}$ からの出力低インピーダンス時間	t _{CLZ}	0		0		ns
$\overline{OE}$ からの出力低インピーダンス時間	t _{OLZ}	0		0		ns
$\overline{CE}$ からの出力高インピーダンス時間	t _{CHZ}		40		40	ns
$\overline{OE}$ からの出力高インピーダンス時間	t _{OHZ}		40		40	ns
アドレスからの出力有効時間	t _{OH}	0		0		ns

ページライトサイクル

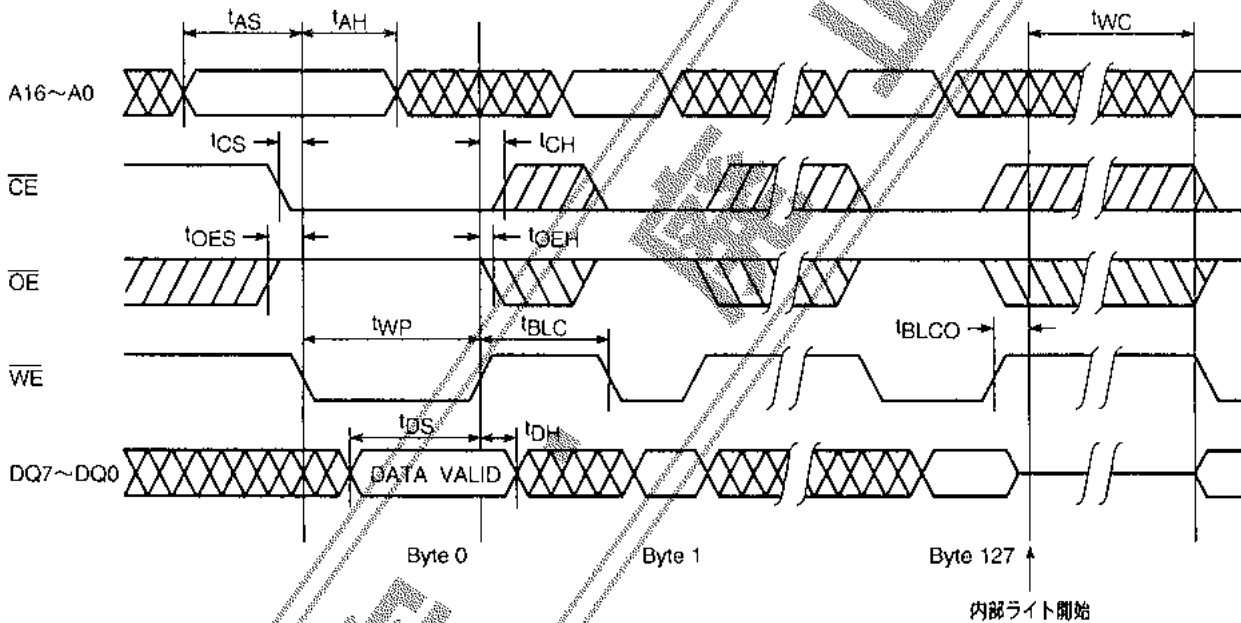
項 目	記号	min	typ*	max	unit
ライトサイクル時間 (消去/プログラム)	t_{WC}		5	10	ms
アドレスセットアップ時間	t_{AS}	0			ns
アドレスホールド時間	t_{AH}	50			ns
$\overline{CE}$ セットアップ時間	t_{CS}	0			ns
$\overline{CE}$ ホールド時間	t_{CH}	0			ns
$\overline{OE}$ セットアップ時間	t_{OES}	0			ns
$\overline{OE}$ ホールド時間	t_{OEH}	0			ns
$\overline{CE}$ パルス幅	t_{CP}	70			ns
$\overline{WE}$ パルス幅	t_{WP}	70			ns
データセットアップ時間	t_{DS}	45			ns
データホールド時間	t_{DH}	0			ns
バイトロードサイクル時間	t_{BLC}	0.05		100	μs
バイトロードタイムアウト時間	t_{BLCO}	200			μs

*typは $V_{CC} = 5.0\text{V}$, $T_a = 25^\circ\text{C}$ での参考値。

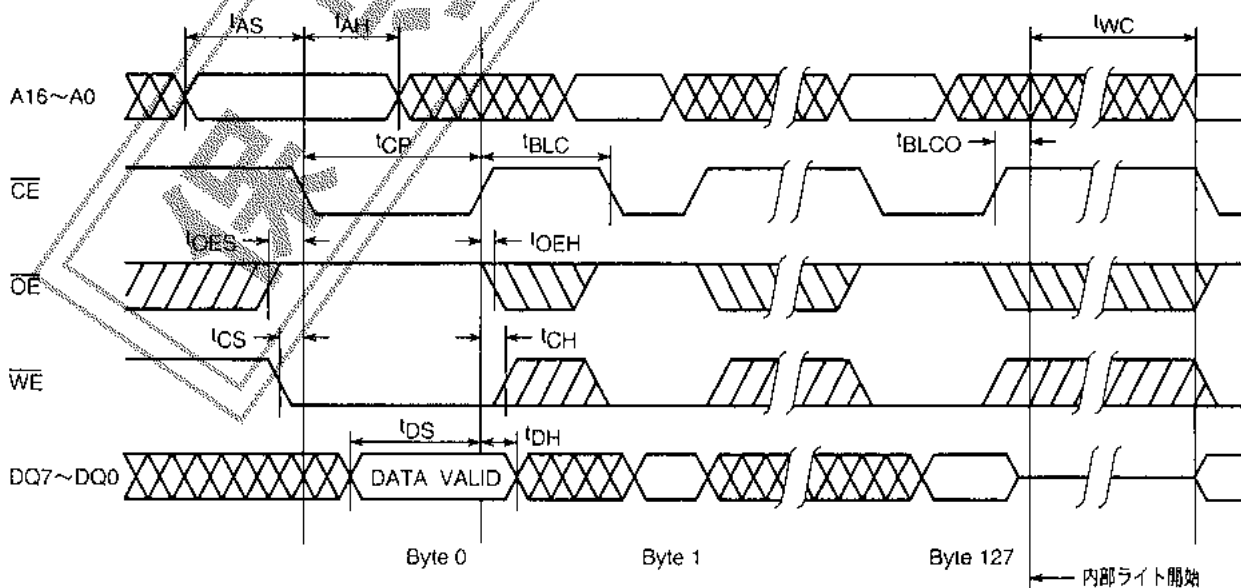
図1: リードサイクル

図2: $\overline{WE}$ コントロールページライトサイクル

A08445

図3: $\overline{CE}$ コントロールページライトサイクル

A08446



A08447

図4: Dataポーリング

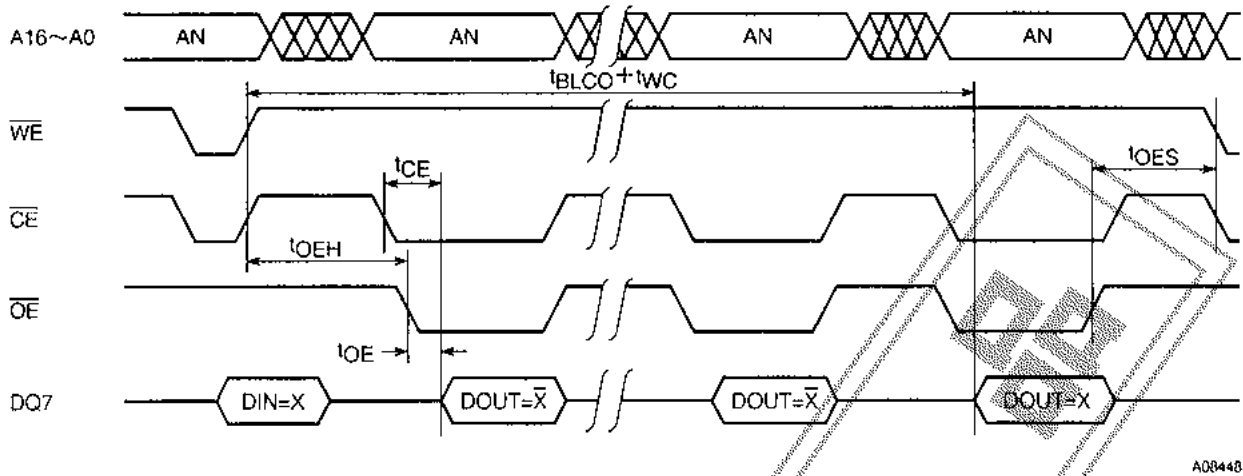


図5: トグルビット

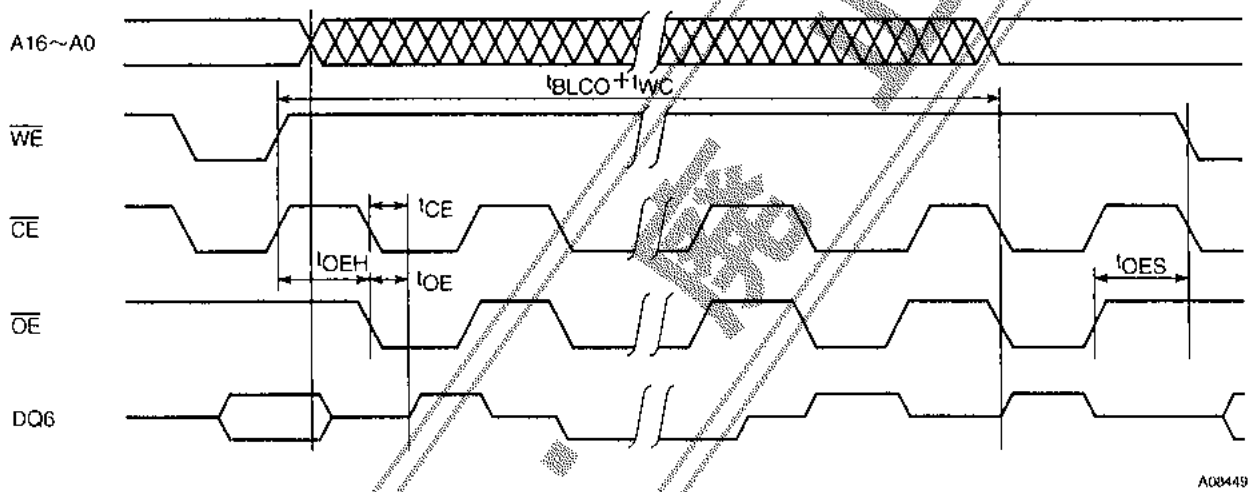


図6: イネーブルソフトウェアデータプロテクション

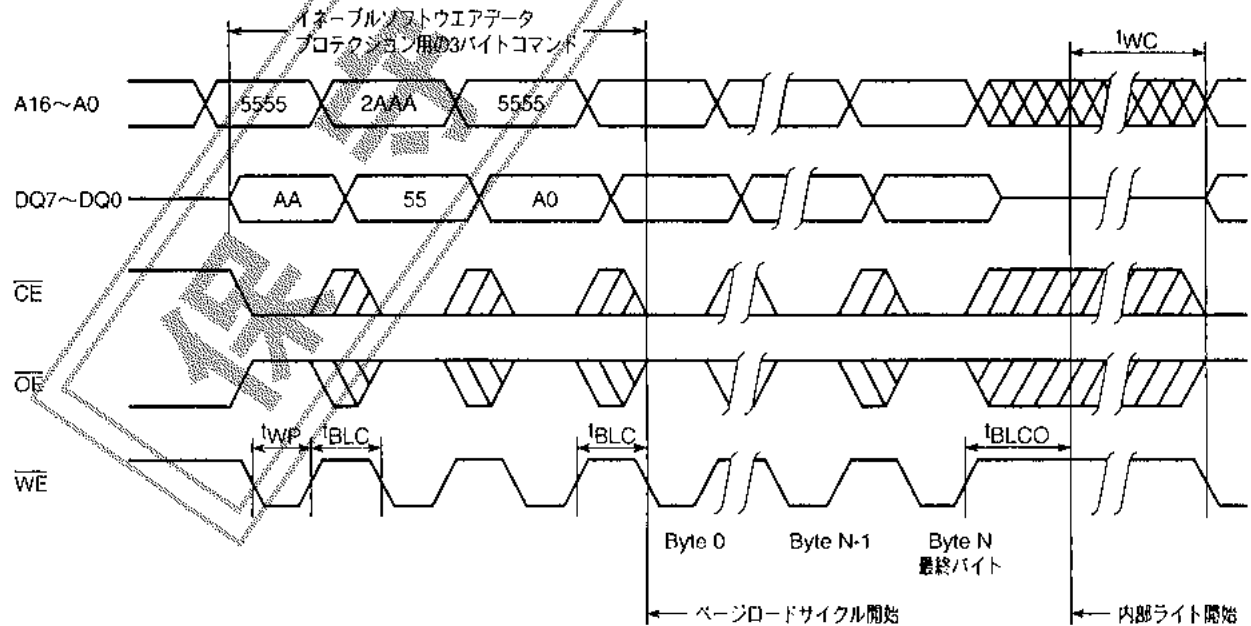
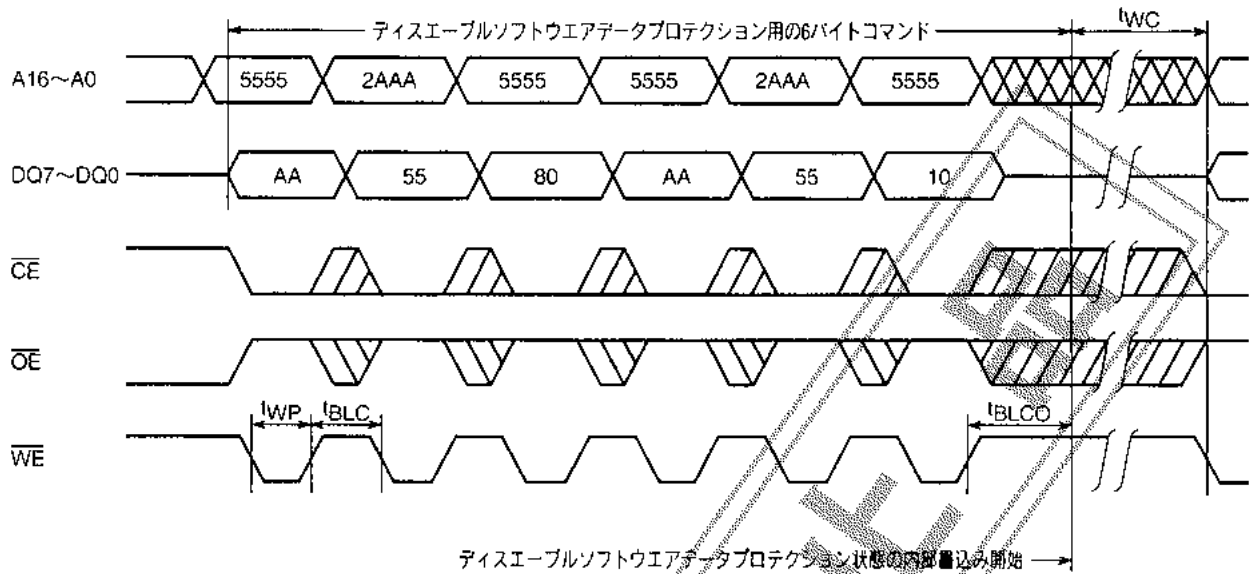
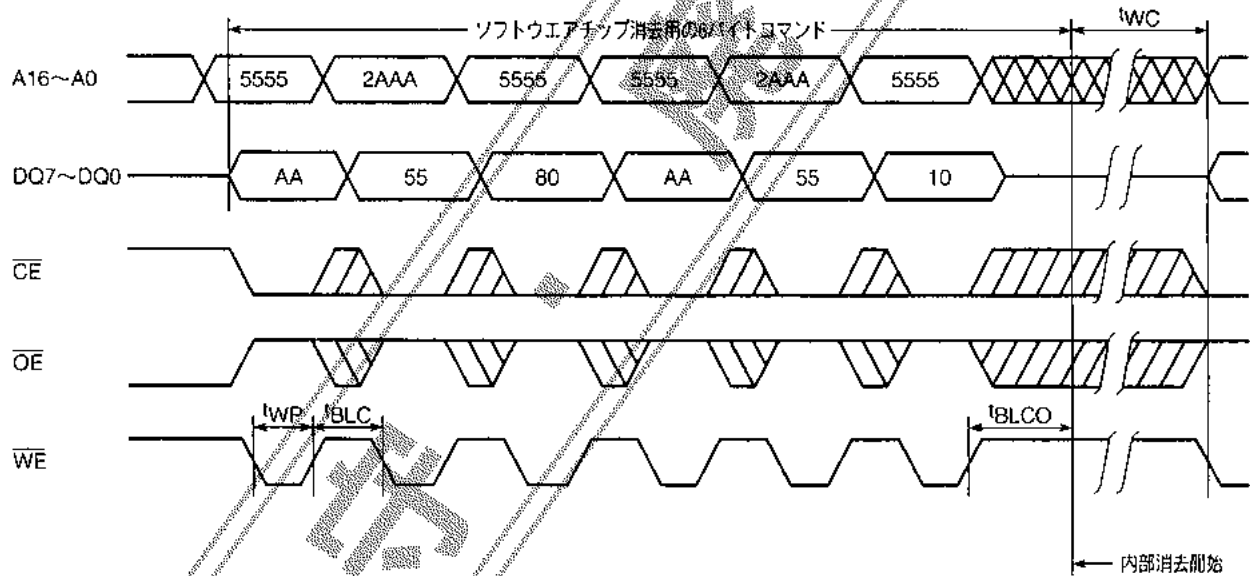


図7: ディスエーブルソフトウェアデータプロテクション



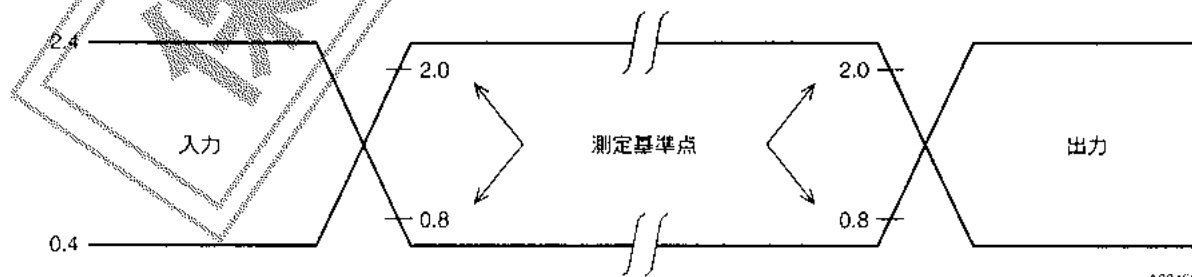
A08451

図8: ソフトウェアチップ消去



A08452

図9: AC入出力リファレンス波形



A08453

AC試験入力は“1”については V_{OH} (2.4V), “0”については V_{OL} (0.4V)で駆動される。入出力の測定基準点は V_{IH} (2.0V), V_{IL} (0.8V)である。入力立上り/立下り時間 (10% ↔ 90%)は10ns以下である。

図 10: ライトアルゴリズム

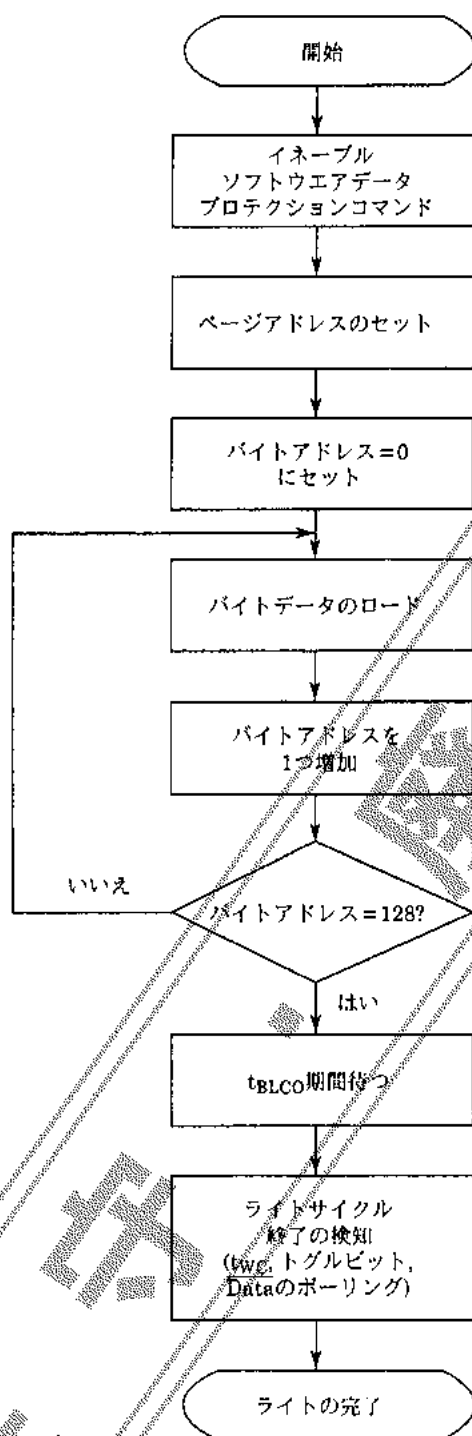


図 11: ライト動作状態の検知

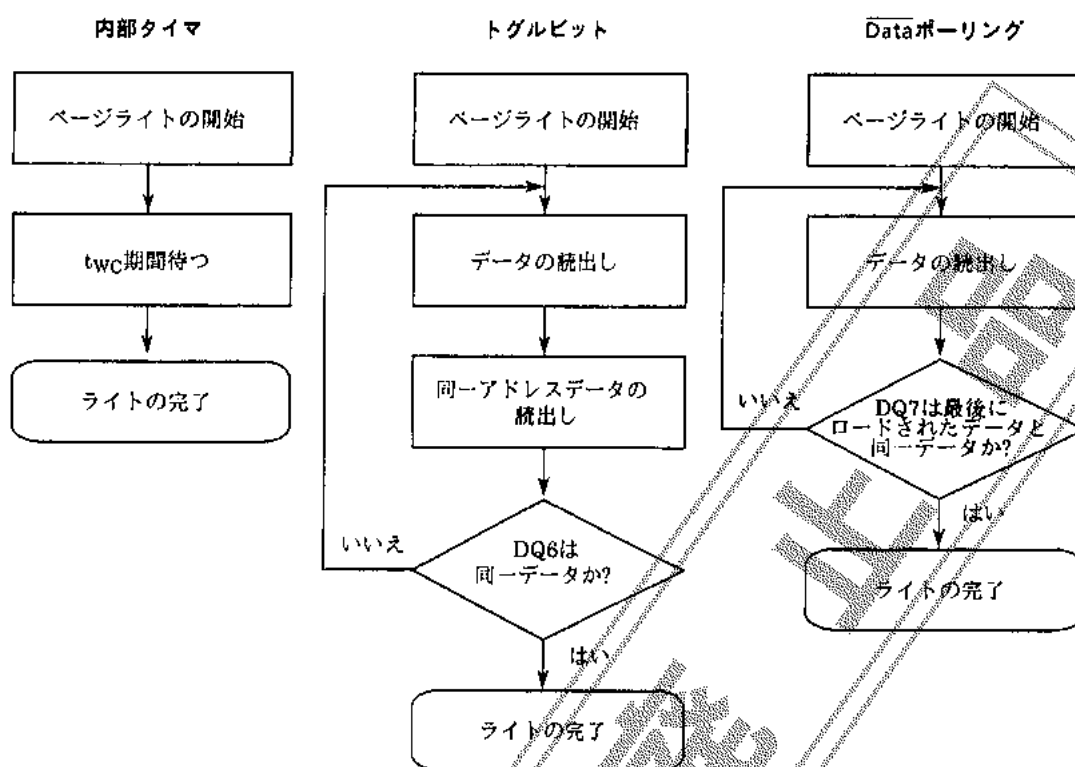


図12: ソフトウェアデータプロテクションのフローチャート

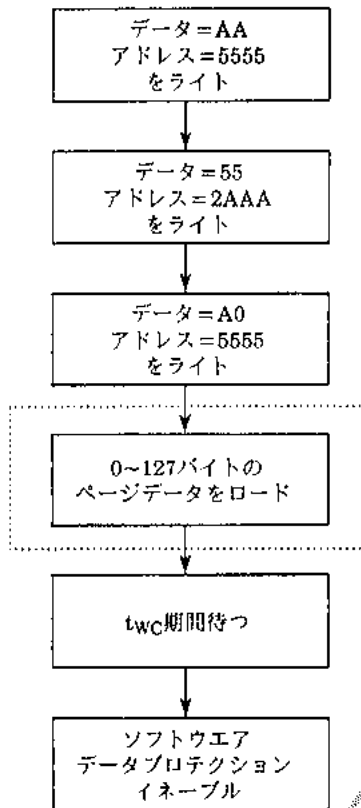
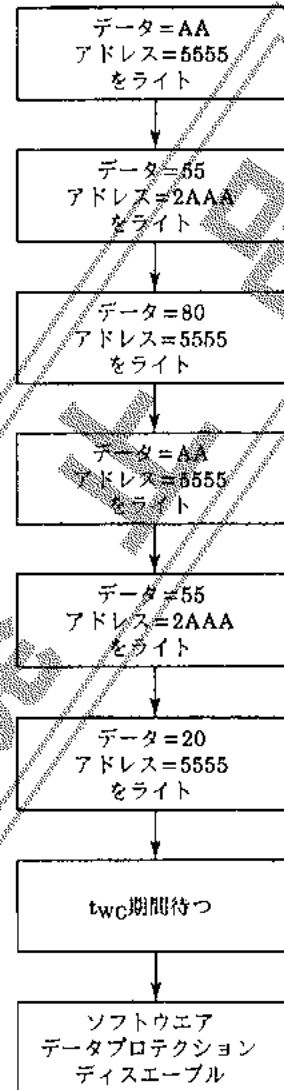
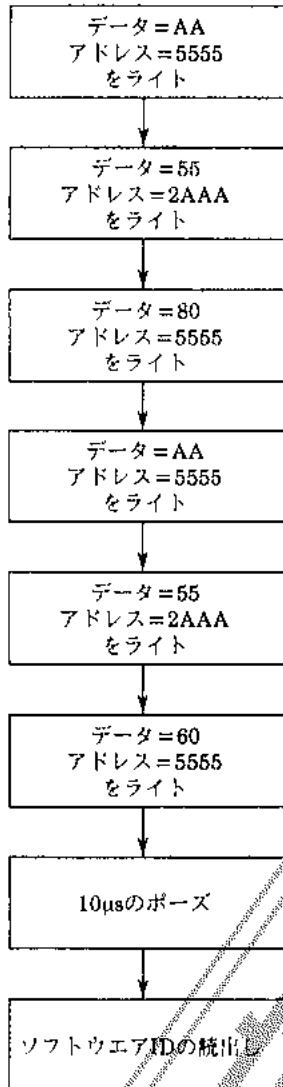
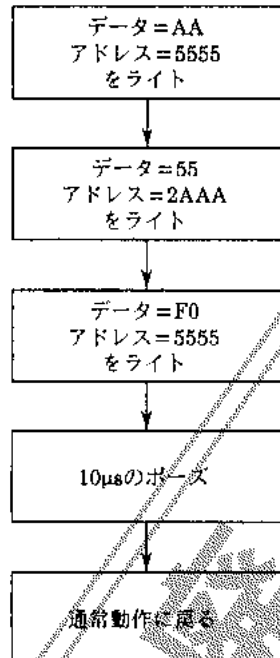
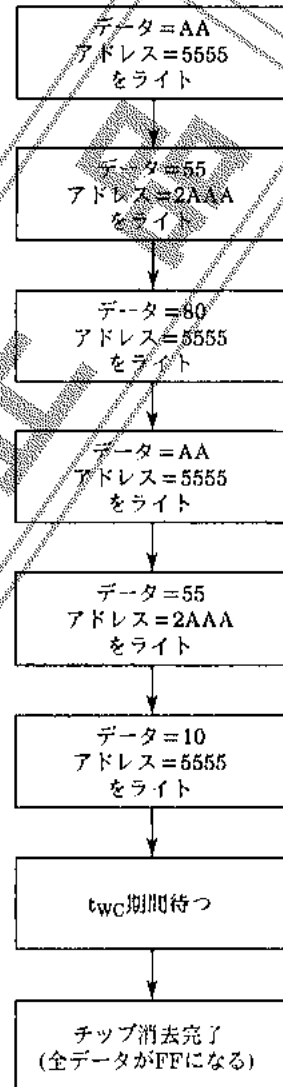
イネーブルソフトウェアデータ
プロテクションコマンドシーケンスディスエーブルソフトウェアデータ
プロテクションコマンドシーケンス

図13：製品識別フローチャート

ソフトウェア製品識別モード開始
コマンドシーケンスソフトウェア製品識別モード終了
コマンドシーケンス図14：ソフトウェアチップ消去の
フローチャートソフトウェアチップ消去
コマンドシーケンス

- この資料の情報(掲載図表および回路図等)は一例を示すもので、量産セットとしての設計を保障するものではありません。また、この資料は正確かつ信頼すべきものであると信じておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。
- 本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっていません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。
- 本書記載の製品が、外国為替および外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改修および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際は、「納入仕様書」でご確認下さい。