

3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVPECL入力付

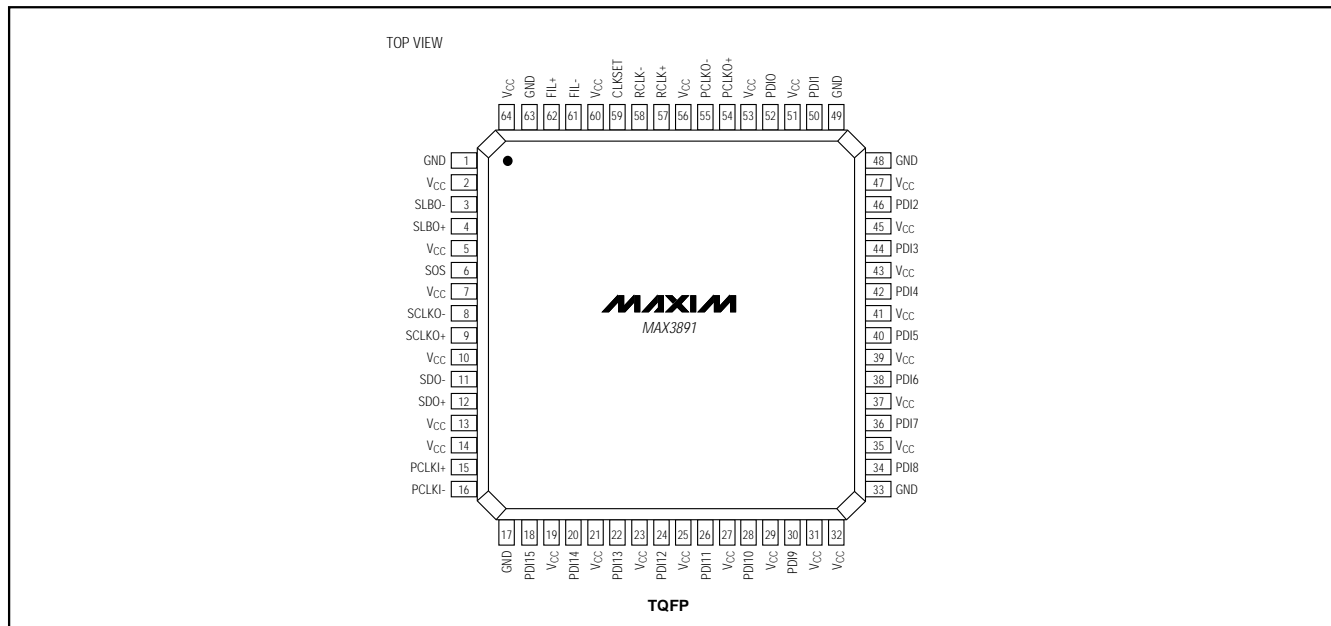
概要

MAX3891は、ATM及びSDH/SONETアプリケーションにおいて16ビット幅の155Mbpsパラレルデータを2.5Gbpsシリアルデータに変換するシリアライザです。MAX3891は高速デジタル回路とのインタフェースに最適です。本デバイスはシングルエンドLVPECLデータ入力を受け付け、LVPECLシリアルデータ出力及びクロック出力を提供します。内部2.5Gbpsシリアルクロックは、複数の入力基準クロックレートを許容する完全集積型のPLLによって合成され、出力データストリームのリタイミングを行います。MAX3891は+3.3V単一電源で動作し、155.52MHz、77.76MHz、51.84MHz又は38.88MHzの基準クロックレートを受け付けます。システム診断テスト用に、ループバックデータ出力も備わっています。MAX3891は、拡張温度範囲(-40 ~ +85)で使用できる64ピンTQFPエクスポートパッド(EP)パッケージで提供されます。

アプリケーション

- 2.5Gbps SDH/SONET伝送システム
- 2.5Gbpsアクセスノード
- アッド/ドロップマルチプレクサ
- デジタルクロスコネクタ
- ATMバックプレーン

ピン配置



標準アプリケーション回路は最後に記載されています。

特長

- ◆ 電源：+3.3V単一
- ◆ 消費電力：495mW
- ◆ ANSI、ITU及びBellcore規格を超越
- ◆ 155Mbps(16ビット幅)パラレルから2.5Gbpsシリアルへの変換
- ◆ クロック合成：2.5Gbps
- ◆ 多クロック基準周波数
(155.52MHz、77.76MHz、51.84MHz、38.88MHz)
- ◆ システムループバックテスト用の予備の高速出力
- ◆ シングルエンドのPECLデータ入力
- ◆ 差動PECLクロック入力及びシリアルデータ出力

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3891ECB	-40°C to +85°C	64 TQFP EP*

*EP = Exposed Pad

3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVPECL入力付

MAX3891

ABSOLUTE MAXIMUM RATINGS

Terminal Voltage (with respect to GND)

V_{CC}-0.5V to +5.0V
All Inputs, FIL+, FIL--0.5V to (V_{CC} + 0.5V)

Output Currents

PECL Outputs (SDO±, SCLKO±, PCLKO±)50mA
CML Outputs (SLBO±).....15mA

Continuous Power Dissipation (T_A = +85°C)

64-Pin TQFP-EP (derate 45.5mW/°C above +85°C)2.9W

Operating Temperature Range-40°C to +85°C

Storage Temperature Range-60°C to +150°C

Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0V to +3.6V, PECL loads = 50Ω ±1% to (V_{CC} - 2V), CML loads = 50Ω ±1% to V_{CC}, T_A = -40°C to +85°C. Typical values are at V_{CC} = +3.3V and T_A = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I _{CC}	PECL outputs unterminated, SOS = iow		150	230	mA
PECL OUTPUTS (SDO±, SCLKO±, PCLKO±)						
Output Voltage High	V _{OH}	T _A = 0°C to +85°C	V _{CC} - 1.025		V _{CC} - 0.88	V
		T _A = -40°C	V _{CC} - 1.085		V _{CC} - 0.88	
Output Voltage Low	V _{OL}	T _A = 0°C to +85°C	V _{CC} - 1.81		V _{CC} - 1.62	V
		T _A = -40°C	V _{CC} - 1.83		V _{CC} - 1.555	
PECL INPUTS (PDI_, PCLKI±, RCLKI±)						
Input High Voltage	V _{IH}		V _{CC} - 1.16		V _{CC} - 0.88	V
Input Low Voltage	V _{IL}		V _{CC} - 1.81		V _{CC} - 1.48	V
Input Current High PDI_, RCLKI±	I _{IH}		-10		+10	μA
Input Current Low PDI_, RCLKI±	I _{IL}		-10		+10	μA
Input Current High PCLKI±	I _{IH}		-60		+60	μA
Input Current Low PCLKI±	I _{IL}		-60		+60	μA
PROGRAMMING INPUT (CLKSET)						
CLKSET Input Current	I _{CLKSET}	CLKSET = GND or V _{CC}			±500	μA
TTL INPUT (SOS)						
TTL Input High Voltage	V _{IH}		2.0			V
TTL Input Low Voltage	V _{IL}				0.8	V
TTL Input High Current	I _{IH}		-10		+10	μA
TTL Input Low Current	I _{IL}		-10		+10	μA
CURRENT MODE LOGIC (CML) OUTPUTS (SLBO±)						
CML Differential Output Voltage Swing	V _{OD}	R _L = 50 Ω to V _{CC}	100		400	mV
CML Single-Ended Output Impedance	R _O			50		Ω

3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVPECL入力付

MAX3891

AC ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0V to +3.6V, PECL loads = 50Ω ±1% to (V_{CC} - 2V), CML loads = 50Ω ±1% to V_{CC}, T_A = -40°C to +85°C. Typical values are at T_A = +25°C and V_{CC} = +3.3V, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Clock Rate	f _{SCLK}			2.488		GHz
Parallel Data Setup Time	t _{SU}	(Notes 2, 3)	300			ps
Parallel Data-Hold Time	t _H	(Notes 2, 3)	700			ps
PCLKO to PCLKI Skew	t _{SKEW}	Figure 1	0		+4.0	ns
Output Jitter Generation (SCLKO±)		Jitter bandwidth = 12kHz to 20MHz			3	psRMS
PECL Differential Output (SDO±, SCLKO±) Rise/Fall Time	t _R , t _F	20% to 80%			120	ps
Parallel Input Clock Rate	f _{PCLKI}			155.52		MHz
Reference Clock Input (RCLK±) Rise/Fall Time	t _R , t _F	20% to 80%, f = 155.52MHz			1.0	ns
Parallel Clock Output (PCLKO±) Rise/Fall Time	t _R , t _F	20% to 80%			1.0	ns
Serial-Clock Output (SCLKO±) to Serial-Data Output (SDO±) Delay	t _{SCLK-SD}	SCLKO rising edge to SDO edge	110		290	ps

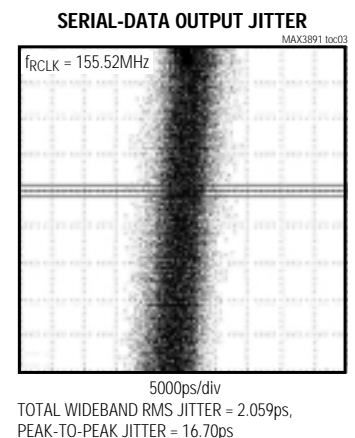
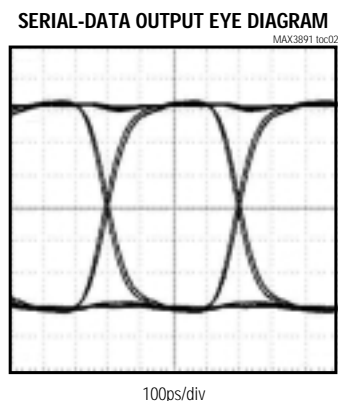
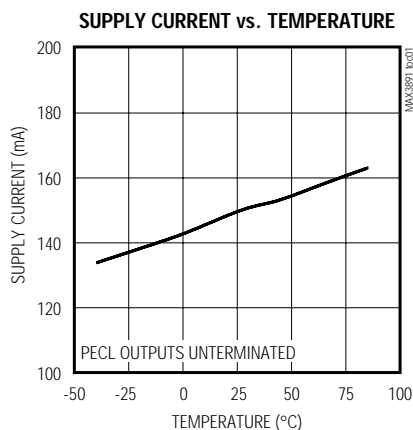
Note 1: AC characteristics are guaranteed by design and characterization.

Note 2: Setup and hold times are relative to the rising edge of PCLKI+, measured by applying a 155.52MHz differential parallel clock with rise/fall time = 1ns (20% to 80%). See Figure 1.

Note 3: Setup and hold time measurements assume that the PCLKI and PDI signals are from the same source and have identical common-mode voltages, swings, and slew rates.

標準動作特性

(V_{CC} = +3.3V, T_A = +25°C, unless otherwise noted.)



3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVPECL入力付

MAX3891

端子説明

端子	名称	機能
1, 17, 33, 48, 49, 63	GND	グラウンド
2, 5, 7, 10, 13, 14, 19, 21, 23, 25, 27, 29, 31, 32, 35, 37, 39, 41, 43, 45, 47, 51, 53, 56, 60, 64	VCC	+3.3V電源電圧
3	SLBO-	システムループバック負出力。SOSがハイの時に有効になります。
4	SLBO+	システムループバック正出力。SOSがハイの時に有効になります。
6	SOS	システムループバック出力選択。TTL入力。ローの時にシステムループバックは無効になります。
8	SCLKO-	負PECLシリアルクロック出力
9	SCLKO+	正PECLシリアルクロック出力
11	SDO-	負PECLシリアルデータ出力
12	SDO+	正PECLシリアルデータ出力
15	PCLKI+	正PECLパラレルクロック入力。受信パラレルクロック信号をPCLKI入力に接続します。データはPCLKI信号の正遷移で更新されることに注意して下さい。
16	PCLKI-	負PECLパラレルクロック入力。受信パラレルクロック信号をPCLKI入力に接続します。データはPCLKI信号の正遷移で更新されることに注意して下さい。
18, 20, 22, 24, 26, 28, 30, 34, 36, 38, 40, 42, 44, 46, 50, 52	PDI15 to PDI0	シングルエンドPECLパラレルデータ入力。データはPCLKIの正遷移で同期入力されます。PDI15が最初に送信されます。
54	PCLKO+	正PECLパラレルクロック出力。PCLKOの正遷移をオーバーヘッド処理回路のクロックに使用します。
55	PCLKO-	負PECLパラレルクロック出力。PCLKOの正遷移をオーバーヘッド処理回路のクロックに使用します。
57	RCLK+	正リファレンスクロック入力。PECL互換クリスタル基準クロックをRCLK入力に接続して下さい。
58	RCLK-	負リファレンスクロック入力。PECL互換クリスタル基準クロックをRCLK入力に接続して下さい。
59	CLKSET	基準クロックレートプログラミング端子： CLKSET = VCC : 基準クロックレート = 155.52MHz CLKSET = オープン : 基準クロックレート = 77.76MHz CLKSET = 20kΩ to GND : 基準クロックレート = 51.84MHz CLKSET = GND : 基準クロックレート = 38.88MHz
61	FIL-	フィルタコンデンサ入力。FIL+とFIL-の間に0.33μFコンデンサを接続して下さい。
62	FIL+	フィルタコンデンサ入力。FIL+とFIL-の間に0.33μFコンデンサを接続して下さい。
EP	Exposed Pad	グラウンド。適正な電氣的及び熱的性能を得るには、これを回路基板にハンダ付けする必要があります (エクスポーズドパッドパッケージの説明を参照)。

3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVPECL入力付

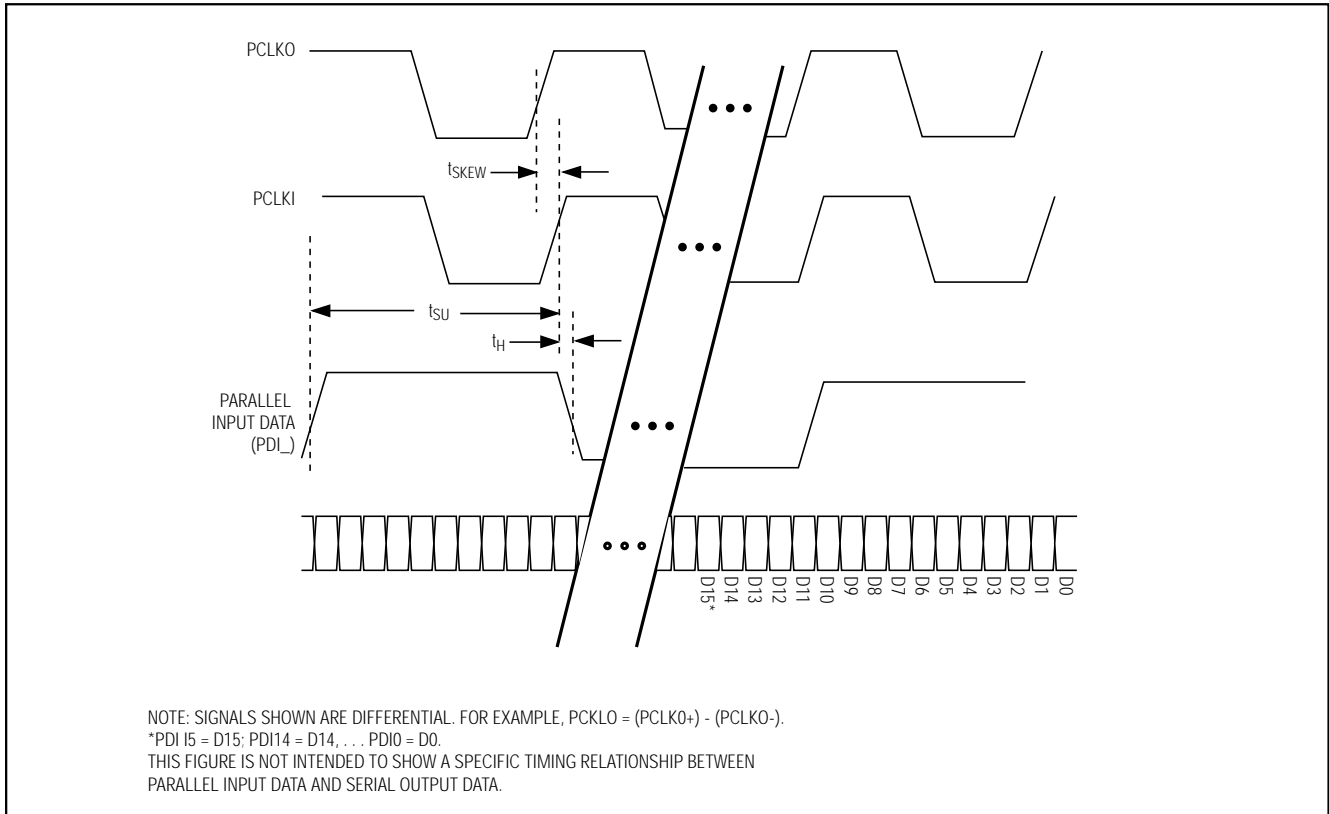


図1. タイミング図

詳細

MAX3891は16ビット幅の155Mbpsデータを2.5Gbpsシリアルデータに変換します(図2)。MAX3891は16ビットパラレル入力レジスタ、16ビットシフトレジスタ、制御及びタイミングロジック、PECL出力バッファ及び周波数合成PLL(位相/周波数ディテクタ、ループフィルタ/アンプ、電圧制御発信器(VCO)、プリスケアラで構成)から成っています。

PLLは出力シフトレジスタのクロックに使用する内部2.5Gbps基準クロックを合成します。このクロックは、外部155.52MHz、77.76MHz、51.84MHz又は38.88MHz基準クロック信号(RCLK)によって生成されます。

受信パラレルデータは、パラレルクロック入力信号(PCLKI)の立上がり遷移でMAX3891に同期入力されます。正常な動作は、パラレル入力レジスタがパラレルクロック出力信号(PCLKO)を基準に規定された時間幅(t_{SKEW})内でラッチされている場合に保証されます。

PCLKOは、合成された2.488Gbpsの内部シリアルクロック信号を16分周したものです。PCLKIに対するPCLKOのスキューの許容範囲は0~4nsです。これは、PCLKO立上がりエッジ後の時間幅を定義しています。PCLKIの立上がりエッジは、この間に起こる可能性があります(図1)。

システムループバック

MAX3891は、システムループバックテストを行えるように設計されています。MAX3891のループバック出力(SLBO)は、デシリアライザ(MAX3881)のループバック入力に直接接続してシステム診断を行うことができます。SLBO出力を有効にするには、TTLロジックハイ信号をSOS入力に印加します。SOSイネーブル入力を制御する信号と同じものをMAX3881のSISイネーブル入力の制御にも使用できます。

3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVPECL入力付

MAX3891

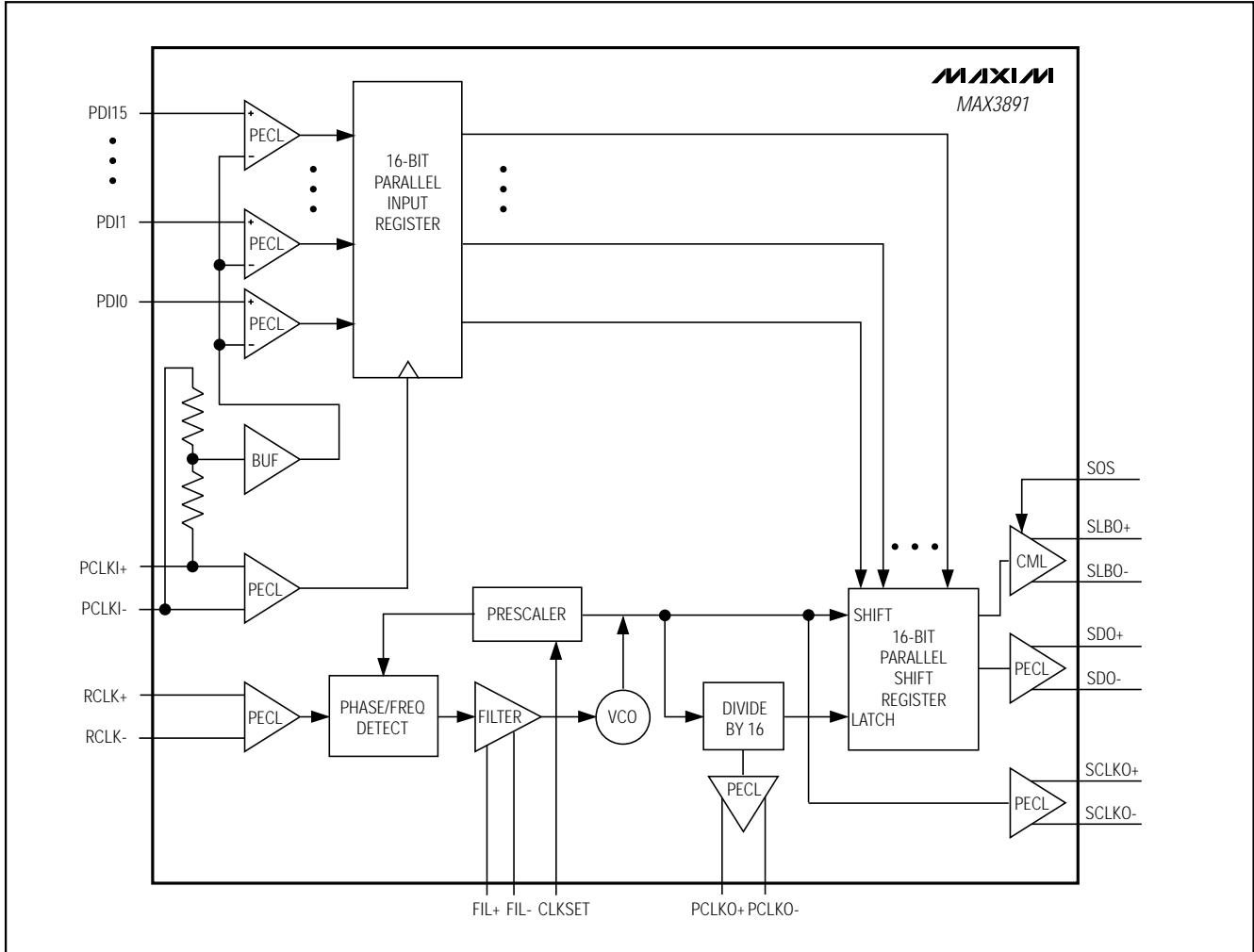


図2. ファンクションダイアグラム

アプリケーション情報

セットアップ及びホールド時間の条件

セットアップ及びホールド時間の仕様は、パラレル入力信号 (PCLKI) とパラレルデータ入力信号 (PDI_l) が同じソースから来ていると仮定しています。これら2個の信号は同一の同相電圧、信号振幅及びスループレートでなければなりません。PCLKI と PDI_l が大幅に異なる場合は、その違いを計算に入れるためにセットアップ及びホールド時間の条件を修正する必要があります。t_{DEG} は、PCLKI と PDI_l の間に大きな違いがある場合の調整量として定義されます。

$$t_{DEG} = VCM_{DIFF} \times \left(\frac{t_T}{0.6} \right) \frac{1}{V_{OH} - V_{OL}}$$

ここで、t_T はパラレルデータ及びクロック入力信号の遷移時間 (20% ~ 80%)、V_{OH} 及び V_{OL} はそれぞれパラレルデータ及びクロック入力信号の入力高電圧及び低電圧、VCM_{DIFF} はパラレルデータ及びクロック入力信号の同相電圧の差です。

3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVPECL入力付

調整されたセットアップ(t_{SUADJ})及びホールド時間(t_{HADJ})の条件は次式で表されます。

$$t_{SUADJ} \text{ (又は } t_{HADJ}) = t_{SU} \text{ (又は } t_H) + t_{DEG}$$

PECL入出力の終端処理

MAX3891のPECLデータ及びクロックIOは適切にバイアスする必要があります。図3及び4に、PECL出力終端処理の別方法を示します。適切な終端処理を行うには、($V_{CC} - 2V$)に対して 50Ω を提供する回路及びインピーダンスが調整された伝送ラインが必要です。 $(V_{CC} - 2V)$ 電源が利用できない場合は、テブナン等価回路を使って下さい。ACカップリングが必要な場合は、カップリングコンデンサが 50Ω 又はテブナン等価DC終端の後に来るようにして下さい。最高の性能を保証するためには、差動出力(SDO_{\pm} 及び $PCLKO_{\pm}$)の負荷が均衡している必要があります。

電流モードロジック出力

MAX3891のシステムループバック出力(SLBO)はCML互換です。MAX3891電流モードロジック(CML)出力回路には、 V_{CC} への 50Ω の内部逆終端が含まれています(図5)。これらの出力は、終端処理された 50Ω の伝送ラインを駆動するようになっています。

レイアウト技法

最高の性能を得るには、優れた高周波レイアウト技法を使用して下さい。電源にはフィルタリングを施し、グランドの接続は短くして、可能な個所でビアを多く使用して下さい。また、MAX3891のクロック及びデータ入出力とのインタフェースには、インピーダンスが調整された伝送ラインを使用して下さい。

エクスポーズドパッドパッケージ

64ピンエクスポーズドパッド(EP)TQFPは放熱用に熱抵抗が極めて低い経路を提供しています。MAX3891 EPIは熱伝導率の良いグランドプレーンに直接ハンダ付けする必要があります。

チップ情報

TRANSISTOR COUNT: 1712

PROCESS: Bipolar

3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVPECL入力付

MAX3891

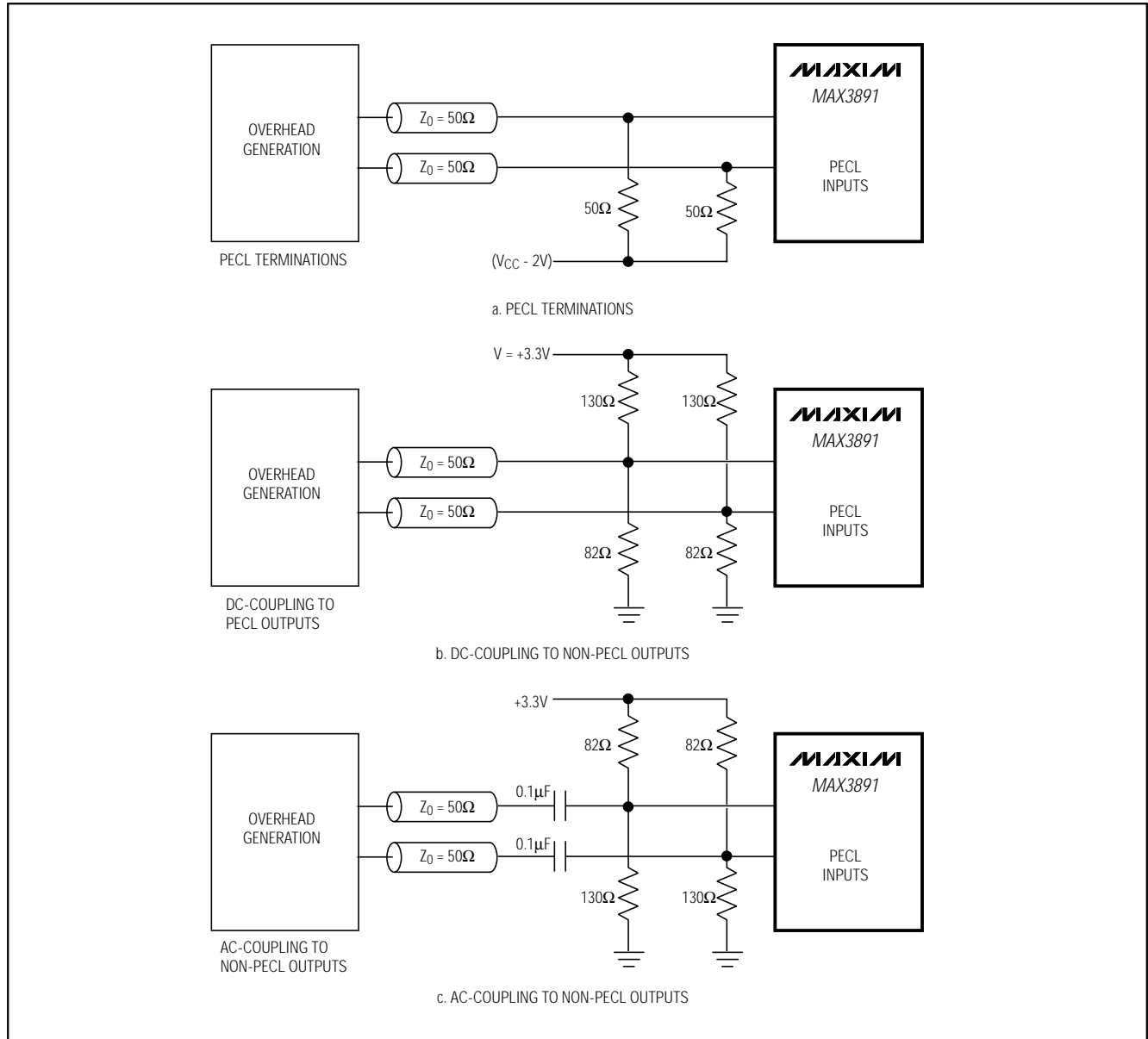


図3. PECL入力終端処理の選択可能な方法

3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVPECL入力付

MAX3891

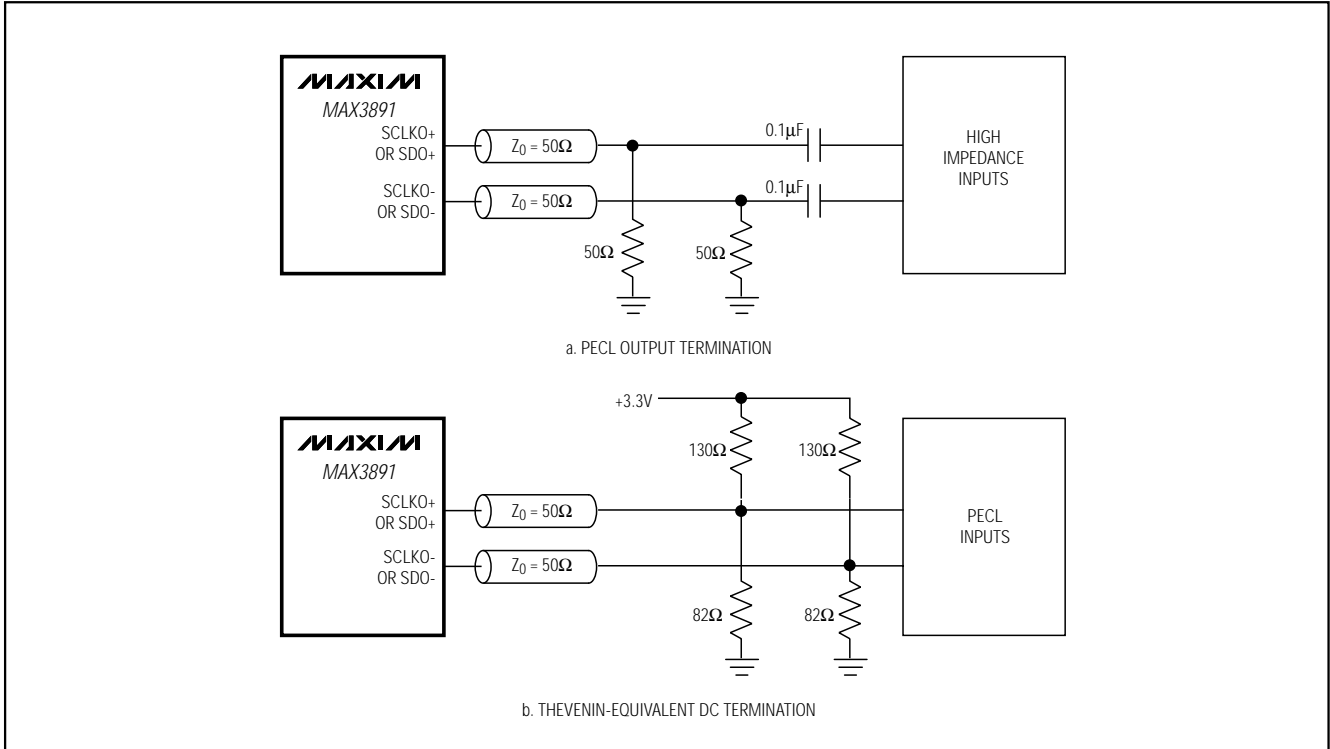


図4. PECL出力終端処理の選択可能な方法

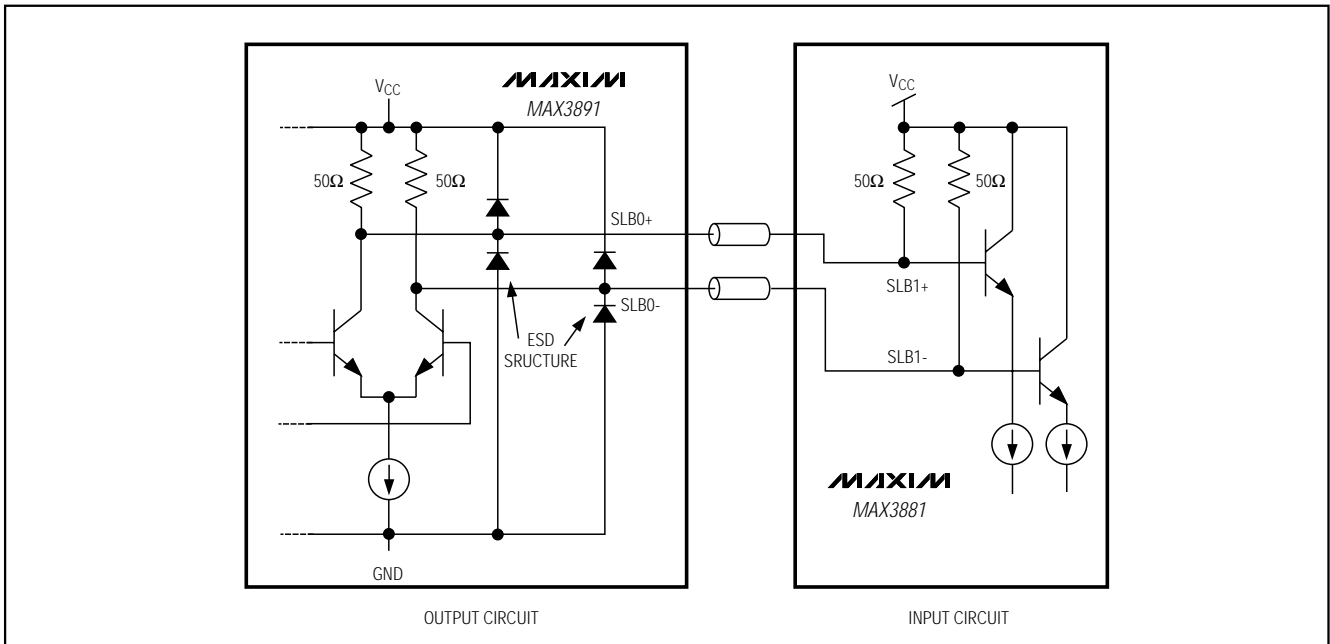
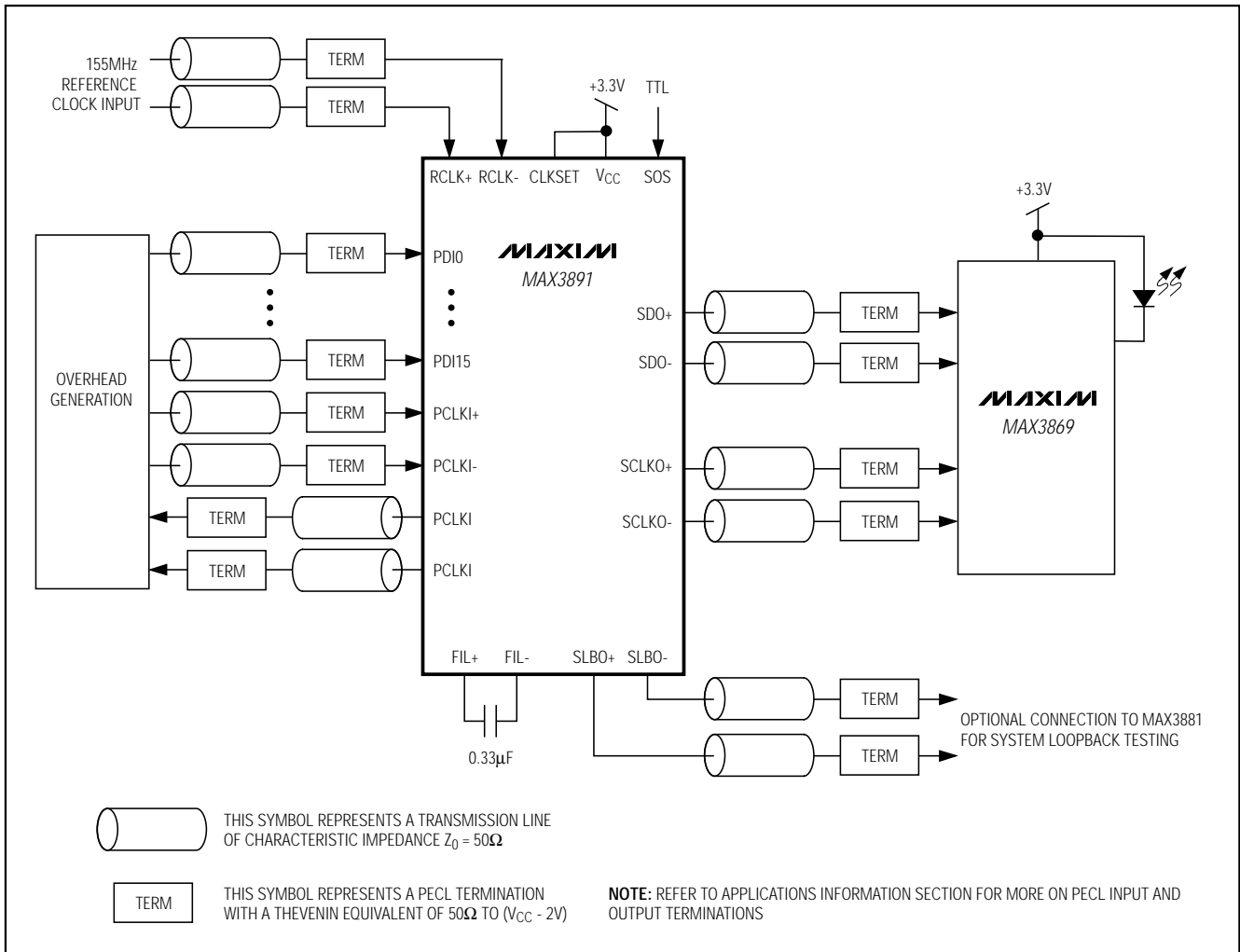


図5. 電流モードロジック

3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVPECL入力付

MAX3891

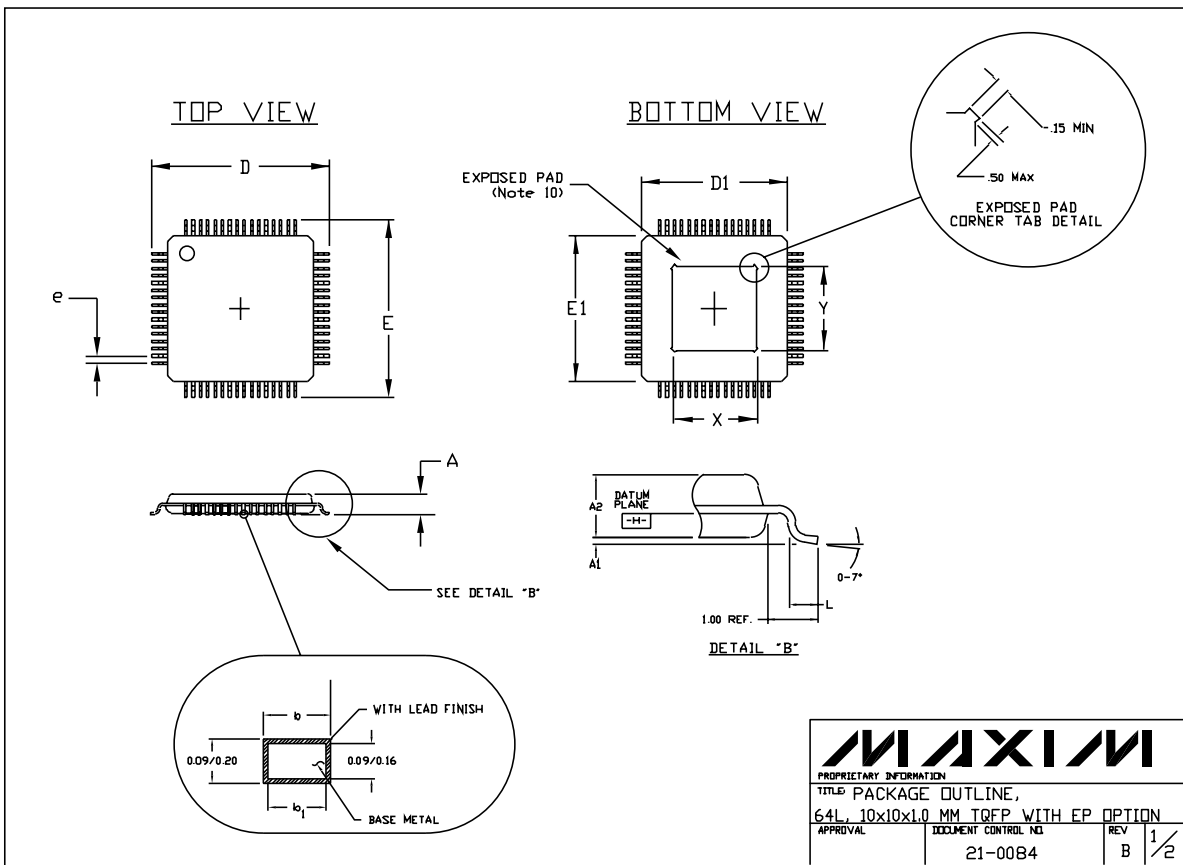
標準アプリケーション回路



3.3V、2.5Gbps、SDH/SONET 16:1シリアライザ クロック合成及びLVPECL入力付

パッケージ

MAX3891



3.3V、2.5Gbps、SDH/SONET 16:1シリアルライザ クロック合成及びLVPECL入力付

MAX3891


パッケージ(続き)

NOTES:

1. ALL DIMENSIONS AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. DATUM PLANE $\square-H$ IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.254 MM ON D1 AND E1 DIMENSIONS.
4. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15 MILLIMETERS.
5. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. CONTROLLING DIMENSION: MILLIMETER.
7. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95 REGISTRATION MO-136, VARIATION AJ.
8. LEADS SHALL BE COPLANAR WITHIN .004 INCH.
9. EXPOSED DIE PAD SHALL BE COPLANAR WITH BOTTOM OF PACKAGE WITHIN 2 MILS (.05 MM).
10. DIMENSIONS X & Y APPLY TO EXPOSED PAD (EP) VERSIONS ONLY. SEE INDIVIDUAL PRODUCT DATASHEET TO DETERMINE IF A PRODUCT USES EXPOSED PAD PACKAGE.

S Y M B O L	JEDEC VARIATION	
	ALL DIMENSIONS IN MILLIMETERS	
	AJ	
	MIN.	MAX.
A	7.25	1.20
A ₁	0.05	0.15
A ₂	0.95	1.05
D	12.00 BSC.	
D ₁	10.00 BSC.	
E	12.00 BSC.	
E ₁	10.00 BSC.	
L	0.45	0.75
N	64	
e	0.50 BSC.	
b	0.17	0.27
b ₁	0.17	0.23
*X	4.7	5.30
*Y	4.70	5.30

* EXPOSED PAD
(Note 10)

			
<small>PROPRIETARY INFORMATION</small>			
TITLE: PACKAGE OUTLINE, 64L, 10x10x1.0 MM TQFP WITH EP OPTION			
<small>APPROVAL</small>	<small>DOCUMENT CONTROL NO.</small> 21-0084	<small>REV</small> B	<small>2/2</small>

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

12 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600