

絶対最大定格 / $V_{SS}=0V$

最大電源電圧	$V_{DD\ max}$		-0.3~+7.0	V
入出力電圧	V_I, V_O		-0.3~ $V_{DD}+0.3$	V
許容消費電力	$P_d\ max$	$T_a \leq 60^\circ C$	1200	mW
動作周囲温度	T_{opr}	ボード実装時	-30~+60	$^\circ C$
保存周囲温度	T_{stg}		-55~+125	$^\circ C$
半田耐熱 (手半田)		3秒間	350	$^\circ C$
(リフロー)		10秒間	235	$^\circ C$
入出力電流	I_I, I_O	※1	± 20	mA

※1 入出力基本セル1セル当り

許容動作範囲 / $T_a = -30 \sim +70^\circ C$, $V_{SS}=0V$

			min	typ	max	unit
電源電圧(1)	V_{DD5}		4.75	5.0	5.25	V
電源電圧(2)	V_{DD3}		3.13	3.3	3.47	V
入力電圧範囲(1)	V_{IN}	(1)	0		V_{DD5}	V

適用ピンは、下記の名前に対応

- (1) BVIDEO, VID1, CKJD, CKREF, PDI, VCOIN, VCXOIN, BSN, RIN, SC6DBIN, SCADIN, SCLPFIN, V6DBIN, VADIN, VIDEOIN, VREFHIN, VREFLIN, TEST, PALREF, PALCR, REGRES, SCL, SDA, DACIN0~7, DACCLK

直流特性

入出力レベル / $T_a = -30 \sim +70^\circ C$, $V_{SS}=0V$, $V_{DD5}=4.75 \sim 5.25V$, $V_{DD3}=3.13 \sim 3.47V$

			min	typ	max	unit
入力「H」レベル電圧	V_{IH}	CMOS対応 : (1), (2)	0.7 V_{DD5}			V
入力「L」レベル電圧	V_{IL}			0.2 V_{DD5}		V
入力「H」レベル電圧	V_{IH}	CMOS対応 : (3)	0.7 V_{DD5}			V
入力「L」レベル電圧	V_{IL}			0.3 V_{DD5}		V
入力「H」レベル電圧	V_{IH}	CMOS対応シュミット : (4), (6)	0.75 V_{DD5}			V
入力「L」レベル電圧	V_{IL}	プルアップ抵抗付		0.15 V_{DD5}		V
出力「H」レベル電圧	V_{OH}	$I_{OH} = -4mA$: (5)	$V_{DD5} - 2.1$			V
出力「L」レベル電圧	V_{OL}	$I_{OL} = 4mA$			0.4	V
出力「H」レベル電圧	V_{OH}	$I_{OH} = -6mA$: (6)	$V_{DD5} - 0.8$			V
出力「L」レベル電圧	V_{OL}	$I_{OL} = 6mA$			0.4	V
入力リーク電流	I_{IL}	$V_I = V_{SS}, V_{DD}$: (1), (2), (3), (4), (6)	-10		10	μA
出力リーク電流	I_{OZ}	HiZ出力時 : (5), (6)	-10		10	μA
プルアップ抵抗	R_{UP}	(4), (6)	70	140	280	k Ω

適用ピンは、下記の名前に対応

注... V_{OH} , V_{OL} はそれぞれ I_{OH} , I_{OL} が流れてないと仮定した場合は V_{DD} , V_{SS} に限りなく等しくなる。

[INPUT]

- (1) REGRES
(2) DACIN0~7, DACCLK, SSEL
(3) TEST
(4) SCL

[OUTPUT]

- (5) STATE, FI, FSCOUT, HASY, HD, RBCOUT0~6, STSCLK, VD, YOUT0~7

[INPUT]

- (6) SDA

注...VID1, BSN, BVIDEO, RIN, SC6DBIN, SCADIN, SCLPFIN, V6DBIN, VADIN, VIDEOIN, VREFHIN, VREFLIN, CKJD, PDI, PDO, VCOIN, VCOOUT, VCXOIN, VCXOOT, BSEP, CLPBS1~2, COMP, PALREF, PALCR, HSEP1, IO, IREFOUT, PO, SC6DBOT, SCLPFOT, SREFHOT, SREFLOT, SREFM, V6DBOUT, VLPFOUT, VREFHOT, VREFIN, VREFLOT, VREFM ピンについては、直流特性には含まれていません。

信号処理概要

LC82561-PB5Bは以下のブロックにより構成されています。

- (1)同期検出、APC、AFC部
- (2)アナログフロントエンド部
- (3)輝度系信号処理部
- (4)クロマ系信号処理部
- (5)エンコーダ、DAC部
- (6)S端子対応部
- (7)LC78010E(ビデオエンコーダ)インタフェース部
- (8)データ補正部
- (9)コマンドインタフェース部

(1)同期検出、APC、AFC部

コンポジットビデオ信号から、HSYNC、VSYNCを検出する。この同期パルスにより、AFC部は32MHzにロックする。AFC部から生成された、VD、HD、FI、CBLKパルスは、後段デジタル信号処理部をタイミング制御する。また、APC部は、コンポジットビデオ信号のバースト信号にロックした4fscクロックを生成し、デジタル信号処理部のシステムクロック及び、SYSCLK(66ピン)から出力される。

入力ビデオ信号の状態により、以下の処理が行われる。

- (I)ビデオ信号が入力されていない場合、APC部は固定発振モードになり、HD、VD、FIは標準ビデオ信号タイミングを出力する。NO SYNCフラグは、STATE(37ピン)より出力する。
- (II)ビデオ信号がVTR特殊再生等の非標準ビデオ信号の場合、FI=「L」、あるいは、トグルモードを選択できる。尚、レジスタ設定により、非標準信号フラグをSTATE(37ピン)から出力することができる。
- (III)VTR再生等のスキューが含まれる信号の場合、AFC部は、スキューを吸収する。
- (IV)VTR再生等のジッタが含まれる信号の場合、ジッタ検出部により、ジッタ量を検出し、後段デジタル信号処理部で、ジッタ補正を行う。この時、HDパルス(70ピン)に同期するようにジッタ補正される。

(2)アナログフロントエンド部

LC82561-PB5Bは、映像用ADCとサブキャリア用ADCを搭載しているので、弱電界等のバースト信号が小さい場合や、環境変動に影響されずに、色復調を行うことができる。

各々のADC前段に、LPF(カットオフ周波数6MHz)と6dBアンプを搭載し、折り返し歪み、ADC直線性歪みを損なうことなく、サンプリングすることができる。

(3)輝度系信号処理部

コンポジットビデオ信号は、くし形フィルタにより、Y/C分離される。分離された輝度信号は、ゲイン選択(1倍or1.375倍)され、コアリング(輪郭補正)ブロック、ジッタ補正ブロックを通り、BLK処理され、YOUT7~0(58~65ピン)から出力する。

(4)クロマ系信号処理部

Y/C分離後のクロマ信号は、バーストレベルが一定レベルになる様に、デジタルACCがかかる。その後、サブキャリア用ADCからの連続サブキャリアと乗算し、R-Y、B-Yが復調される。更に、クロマジッタ補正ブロックを通り、BLK処理され、RBOU7~0(50~57ピン)から8ビットクロマデータが点順次出力する。クロマデータは、 $(B-Y)/(R-Y)=1$ と $(B-Y)/(R-Y)=1.375$ 倍を選択することができる。また、レジスタ設定により、HD立ち上がり同期して、R-Yから出力するか、B-Yから出力するかを選択する。

また、ACCゲインがACCレベル(レジスタ設定)を越えた場合はデジタルクロマカラー処理され、あるいは、APCがアンロックの場合は、アナログクロマカラー処理される。

(5)エンコーダ、DAC部

DACより出力されるアナログビデオ信号は次の5通りのモード選択することができる。

(モード設定表参照)

- ★MODE1 映像用ADC/DACのスルー出力
- ★MODE2 入力アナログビデオ信号のデコード出力をエンコードしたビデオ出力(デコードエンコードスルー)
- ★MODE3 YIN、RBCINより入力されたデジタルデータをエンコードしたビデオ出力
- ★MODE4 23ビットOSDモード
- ★MODE5 DACINポートより入力されたデジタルコンポジット信号をDAしたビデオ出力

- [MODE1の場合] 入力ビデオ信号と全く同等の画像を出力することができる。また、この時、YOUT, RBCOUTからはデコーダ出力が取り出せる。
 - [MODE2の場合] デコーダ出力をエンコードできるので、色相調整等の画質を調整できる。この時、同期信号は、入力ビデオ信号の同期信号を使用するので、非標準信号にも対応できる。また、YOUT, RBCOUTからジッタ補正された映像データを出力できる。
 - [MODE3の場合] YIN, RBCINより入力されたビットストリームをエンコードする。この時、デコーダより出力されるHD, VD, FIは標準タイミングとなるので、安定した映像を取り出せる。
 - [MODE4の場合] YIN, RBCIN, DACINポートを使用して、23bitOSD機能を実現できる。OSDタイミングは、KEY端子(33ピン)より入力する。
 - [MODE5の場合] LC82551(デコーダ専用LSI)と同様の機能となる。従って、DACINポートへデジタルコンボジットデータを入力することにより、アナログビデオ信号を取り出せる。
- 上記のモードに加えて以下の機能を有する。

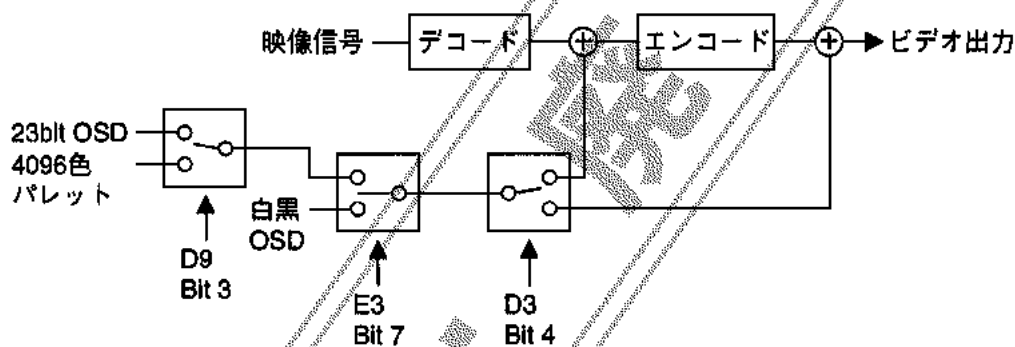
(★)入力ビデオ信号が無信号時、ブルーバック表示することができる。

(★)MODE2, 3の場合、B/W OSDおよびカラーOSDを付加できる。

4096色パレットは、DB, E7レジスタによって輝度、色相レベルを設定する。白黒OSDはECレジスタの上位6ビットによって設定する。

モード2の場合は、D3レジスタ(bit4= "1")によりOSDを付加する。

モード3の場合は、D3レジスタ(bit4= "0")とする。



A12780

モード設定

モード	DACIN 0~7	YCDIR (34pin)	KEY (33pin)	DACIN スワップ設定 (addrE3-D0)	LC82561- PB5B (addrE3-D1)	デコーダ・エンコーダ スルー制御 (addrEE-D4)	YOUT, RBCOUT ポート極性	HD,VD,FI
MODE1	無効	1	無効	1	0	1	ジッタ補正 出力	デコーダSSG より出力
MODE2	※1	1	有効	1	0	0	ジッタ補正 出力	デコーダSSG より出力
MODE3	※1	0	有効	1	0	×	入力モード (Y,Cデータ)	エンコーダ SSGより出力
MODE4	VIN7~ 1, KEY	無効	有効	1	1	×	入力モード (YUV文字データ)	デコーダSSG より出力
MODE5	デジタル コンボジット	×	無効	0	1	×	ジッタ補正 出力	デコーダSSG より出力

※1 DACIN0=KEY, DACIN1=YCDIR, DACIN2=CSYNC, DACIN3=HSYNC,
DACIN4=STATE, DACIN5=GND, DACIN6=VDD, DACIN7=VDD

(6) S端子対応部

S端子選択は、SSEL(93ピン)と内部レジスタD0(D6)の論理和により設定できる。組合わせは下表である。尚、SSEL(93ピン)は内部でプルアップされている。S端子輝度信号は、コンポジットビデオ同様VIDEOIN(14ピン)から入力する。輝度信号は、コアリング回路を通り、YOUTポートから出力される。

S端子クロマ信号は、BCIN(92ピン)に inputs する。S端子選択(SSEL)によりFSCOUT(91ピン)から、S端子クロマ信号もしくは、APCロックした連続SCが出力される。FSCOUTはSCLPFIN(7ピン)に inputs され、AD変換される。S端子が選択されている場合SCLPFINの inputs クロマ信号を復調する。コンポジットが選択されている場合、YC分離後のクロマ信号と、SCLPFINに inputs した連続SCによりクロマ復調される。尚、S端子選択の有無にかかわらずレジスタD0(D3)を設定するとサンプリングしたデジタルビデオ信号のバースト信号により発生した連続SCによりクロマ復調を行うことができる。この場合、標準ビデオ信号であれば、色相は完全無調整となるが、オンエア等では、色相がずれる場合がある。

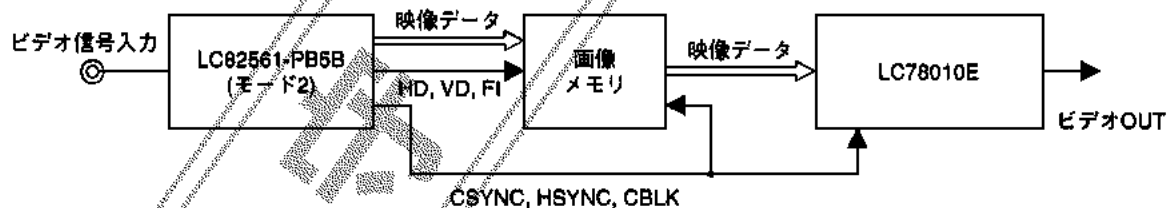
SSEL	D0(D6)	ビデオ信号選択
0	0	S
1	0	コンポジット
1	1	S

(7) LC78010E(ビデオエンコーダ)インタフェース部

LC82561-PB5Bは、ビデオデコーダ・エンコーダを内蔵しているが、パッケージ及びシステムクロック周波数の関係から、非同期のデコーダ・エンコーダシステムを構成できない。

LC82561-PB5B出力CSYNC(35ピン)、HSYNC(36ピン)、CBLK(37ピン)をLC78010Eと接続することにより、メモリを介した非同期のシステムを構成できる。

(下図参照)



A12565

(8) ジッタ補正部

セラロックによるVCO(AFC)は、503kHzで水平同期信号に対してロックする。このVCOクロックを用いて、内部Hカウンタ、Vカウンタが動作する。この構成は、VTR、TV等で一般的に使われている手法であり、これによって、殆どのビデオソースに水平ロックすることができる。

一方、色再生には、バーストにロックしたシステムクロックが必要である為に、LSI内部の信号処理系には、4fscを用いている。ここで、4fscとHロックしたクロックは非同期である為に、単純に、HロックしたHD信号の立ち下がりから、輝度信号等のデータ出力をスタートすると、70nsの時間丸めによるジッタが生じる。また、VTR等の非標準信号に潜在するHSYNCの揺れによるジッタも発生する。そこで、ジッタ補正処理として、次の様なことを行う。まず、4fscクロックの1周期中に、AFCロックしたHDの立ち下がりがあるかを、毎ライン検出する。1周期を16分割(分解能=70/16ns)する。このジッタ量が例えば、ジッタ量=4であった場合は、4/16だけ、デジタルデータ(YOUT, RBCOUT)を戻す処理を行う。すなわち、隣接画素データのフィルタリング処理となる。

キャプチャシステムを構成する場合、HDパルスが水平ライン取り込みのスタートのトリガとなるが、上記の画素データ演算をエラー無く行う為に、HDパルスも操作する。つまり、HDパルス操作、映像デジタルデータのフィルタリング処理双方を行うことで、HDパルスをキャプチャのトリガとしてストレージしたVRAM上の映像には、ジッタレスの映像が取り込まれる。以上の理由から、標準ビデオ信号を入力している場合においても、HDパルスは、非同期となる。したがって、LC82561PB5B出力のHDパルスを、キャプチャ以外の用途、例えば、OSD用LSI等のHDパルス入力として用いると文字揺れが発生する。その場合には、D1レジスタ(D0)を設定することにより、HDパルスのジッタを4fscでサンプリングされる時間丸め内に抑えることができる。

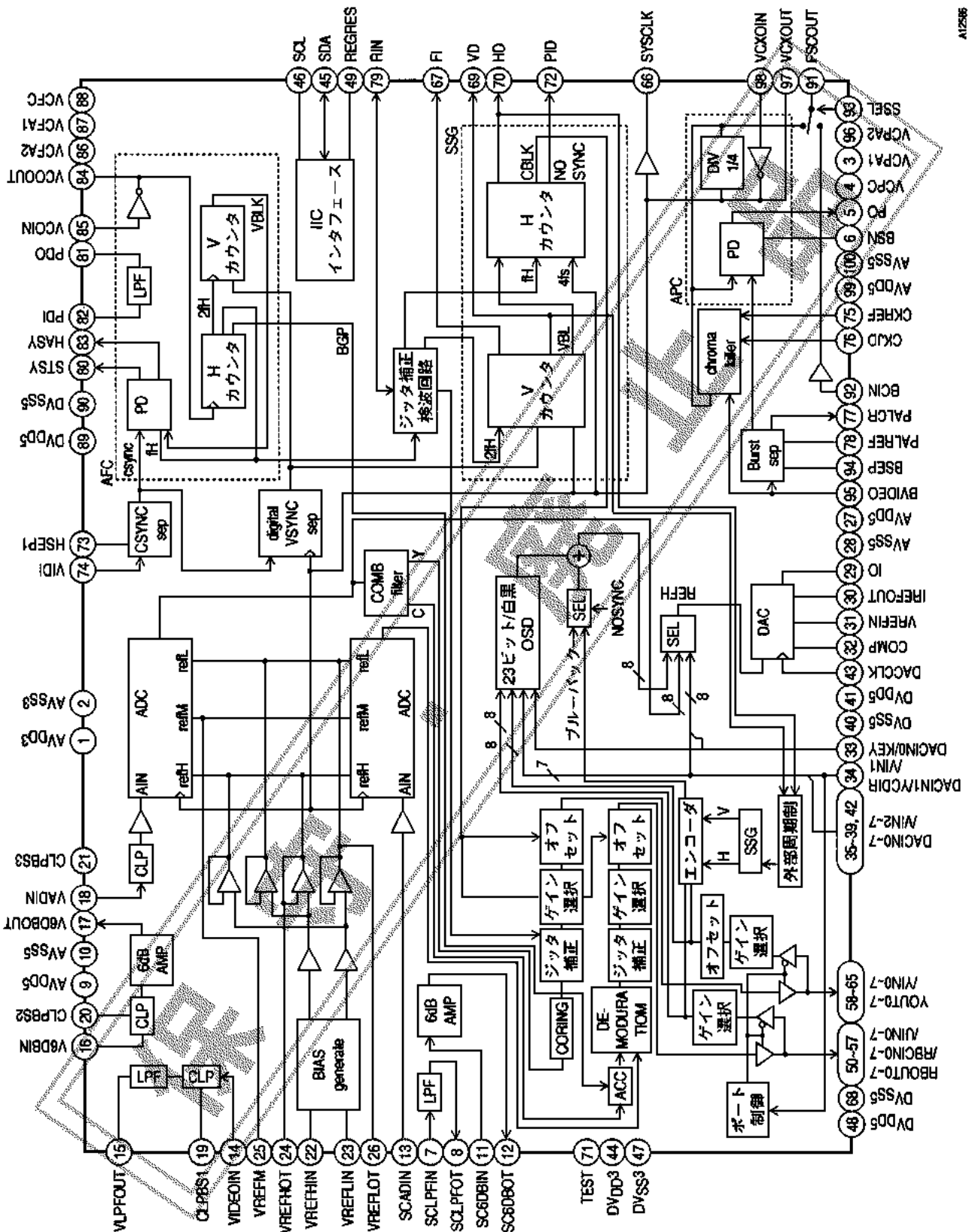
尚、モード2のデコードエンコードスルー画は、このブロックは通さない。

また、LC82561-PB5B出力のCSYNC、HSYNC、CBCLKは入力されている映像信号に対して非同期な標準タイミング信号となる。LC82561-PB5BはMODE2(デコードモード)で使用する必要がある。

(9) コマンドインタフェース部

I²Cインタフェースにより、内部レジスタの変更が可能である。したがって、I²C搭載のLSIとの共存が可能である。

ブロック図



端子説明

端子番号	端子名	タイプ	端 子 説 明
1	AVDD3	P	アナログ電源(3.3V) 端子(映像用 ADC、サブキャリア用 ADC)
2	AVSS3	G	アナログGND端子(映像用 ADC、サブキャリア用 ADC)
3	VCPA1	A	APC用のバリキャップアノード端子
4	VCPC	A	APC用のバリキャップコモン端子
5	PO	A	VCXO用位相差検出端子
6	BSN	A	APC用チャージポンプ電流制御端子
7	SCLPFIN	A	サブキャリア用LPFの入力端子
8	SCLPFOT	A	サブキャリア用LPFの出力端子
9	AVDD5	P	アナログ電源(5V) 端子 (映像信号用6DBアンプ, 映像信号用LPF, 映像信号用オペアンプ)
10	AVSS5	G	アナログGND端子 (映像信号用6DBアンプ, 映像信号用LPF, 映像信号用オペアンプ)
11	SC6DBIN	A	サブキャリア用6DBアンプ入力端子
12	SC6DBOT	A	サブキャリア用6DBアンプ出力端子
13	SCADIN	A	サブキャリア用ADC入力端子
14	VIDEOIN	A	映像信号用LPFの入力端子
15	VLPFOUT	A	映像信号用LPF出力端子
16	V6DBIN	A	映像信号用6DBアンプ入力端子
17	V6DBOUT	A	映像信号用6DBアンプ出力端子
18	VADIN	A	映像信号用ADC入力端子
19	CLPBS1	A	LPF回路のクランプ安定化端子
20	CLPBS2	A	6DBアンプのクランプ安定化端子
21	CLPBS3	A	クランプ安定化端子
22	VREFHIN	A	ADCのHighリファレンス設定用の入力端子(内部設定=3.0V)
23	VREFLIN	A	ADCのLowリファレンス設定用の入力端子(内部設定=1.25V)
24	VREFHOT	A	映像信号用ADCのHighリファレンス安定化端子
25	VREFM	A	映像信号用ADCのMiddleリファレンス安定化端子
26	VREFLOT	A	映像信号用ADCのLowリファレンス安定化端子
27	AVDD5	P	アナログ電源(5.0V)端子(DAC用)
28	AVSS5	G	アナログGND端子(DAC用)
29	IO	A	DACアナログ端子。出力抵抗Rを接続する。
30	IREFOUT	A	DAC基準電流出力端子。出力抵抗Rの4倍を接続する。
31	VREFIN	A	DAC基準電圧入力端子。アナログ出力のダイナミックレンジを設定する。 0.1 μ Fを介してアナロググラウンドに接続。
32	COMP	A	DAC位相補償用容量端子。電源(41ピン)に対して、1 μ Fで接続。
33	DACIN0 /KEY	I	DACデジタル入力端子(5.0VppのCMOSレベル入力)(LSB) /OSD KEY入力 Highアクティブ
34	DACIN1 /YCDIR /VIN1	I	DACデジタル入力端子(5.0VppのCMOSレベル入力) /YCポートディレクション入力端子 /Vデータ入力端子
35	DACIN2 /VIN2 /CSYNC	I/O	DACデジタル入力端子(5.0VppのCMOSレベル入力) /Vデータ入力端子 /CSYNC出力端子
36	DACIN3 /VIN3 /HSYNC	I/O	DACデジタル入力端子(5.0VppのCMOSレベル入力) /Vデータ入力端子 HSYNC出力端子

次ページへ続く。

前ページから続く。

端子 番号	端子名	タイプ	端 子 説 明
37	DACIN4 /VIN4 /STATE	I/O	DACデジタル入力端子(5.0VppのCMOSレベル入力) /Vデータ入力端子 /NO SYNC出力フラグ
38	DACIN5 /VIN5	I	DACデジタル入力端子(5.0VppのCMOSレベル入力) /Vデータ入力端子
39	DACIN6 /VIN6	G	DACデジタル入力端子(5.0VppのCMOSレベル入力) /Vデータ入力端子
40	DVSS5	P	デジタルGND端子(DAC用)
41	DVDD5	I	デジタル電源(5.0V)端子(DAC用)
42	DACIN7 /VIN7	I	DACデジタル入力端子(5.0VppのCMOSレベル入力)(MSB) /Vデータ入力端子
43	DACCLK	P	DACのクロック入力端子(5.0VppのCMOSレベル入力)
44	DVDD3	I/O	デジタル電源(3.3V)端子(内部デジタルブロック用)
45	SDA	I	I ² Cインタフェースリセットデータバス端子(双方向) (5.0VppのCMOSレベル入出力)
46	SCL	G	I ² CインタフェースリセットCLK入力端子(5.0VppのCMOSレベル入力)
47	DVSS3	P	デジタルGND端子(内部デジタルブロック用)
48	DVDD5	I	デジタル電源(5V)端子(3.3V内部ロジック→5V出力のインタフェース用)
49	REGRES	I/O	システムリセット入力端子(5.0VppのCMOSレベル入力)
50	RBCOUT0 /RBCIN0 /UINO	I/O	色差点順次出力端子(5VppのCMOSレベル出力)(LSB) /色差点順次入力端子 /Uデータ入力端子
51	RBCOUT1 /RBCIN1 /UIN1	I/O	色差点順次出力端子(5VppのCMOSレベル出力) /色差点順次入力端子 /Uデータ入力端子
52	RBCOUT2 /RBCIN2 /UIN2	I/O	色差点順次出力端子(5VppのCMOSレベル出力) /色差点順次入力端子 /Uデータ入力端子
53	RBCOUT3 /RBCIN3 /UIN3	I/O	色差点順次出力端子(5VppのCMOSレベル出力) /色差点順次入力端子 /Uデータ入力端子
54	RBCOUT4 /RBCIN4 /UIN4	I/O	色差点順次出力端子(5VppのCMOSレベル出力) /色差点順次入力端子 /Uデータ入力端子
55	RBCOUT5 /RBCIN5 /UIN5	I/O	色差点順次出力端子(5VppのCMOSレベル出力) /色差点順次入力端子 /Uデータ入力端子
56	RBCOUT6 /RBCIN6 /UIN6	I/O	色差点順次出力端子(5VppのCMOSレベル出力) /色差点順次入力端子 /Uデータ入力端子
57	RBCOUT7 /RBCIN7 /UIN7	I/O	色差点順次出力端子(5VppのCMOSレベル出力)(MSB) /色差点順次入力端子 /Uデータ入力端子
58	YOUT0/YIN0	I/O	輝度信号出力端子(5VppのCMOSレベル出力)(LSB)/輝度信号入力信号
59	YOUT1/YIN1	I/O	輝度信号出力端子(5VppのCMOSレベル出力)/輝度信号入力信号
60	YOUT2/YIN2	I/O	輝度信号出力端子(5VppのCMOSレベル出力)/輝度信号入力信号
61	YOUT3/YIN3	I/O	輝度信号出力端子(5VppのCMOSレベル出力)/輝度信号入力信号
62	YOUT4/YIN4	I/O	輝度信号出力端子(5VppのCMOSレベル出力)/輝度信号入力信号

次ページへ続く。

前ページから続く。

端子番号	端子名	タイプ	端 子 説 明
63	YOUT5/YIN5	I/O	輝度信号出力端子(5VppのCMOSレベル出力)/輝度信号入力信号
64	YOUT6/YIN6	I/O	輝度信号出力端子(5VppのCMOSレベル出力)/輝度信号入力信号
65	YOUT7/YIN7	I/O	輝度信号出力端子(5VppのCMOSレベル出力)(MSB)/輝度信号入力信号
66	SYSClk	O	4Fscクロック出力端子(5VppのCMOSレベル出力)
67	FI	O	フレームインデックス出力端子(5VppのCMOSレベル出力)
68	DVSS5	G	デジタルGND端子(3.3V内部ロジック→5V出力のインタフェース用)
69	VD	O	VDパルス出力端子(5VppのCMOSレベル出力)
70	HD	O	HDパルス出力端子(5VppのCMOSレベル出力)
71	TEST	I	テスト用端子 動作時Low固定
72	PID	O	PAL ID検波用出力ピン
73	HSEP1	O	水平同期分離用出力端子1
74	VID1	I	水平同期分離用入力端子(ノイズキャンセラー後のビデオ信号を入力)
75	CKREF	A	カラーキラー検出用リファレンス入力端子(内部発生電圧2.0V)
76	CKJD	A	カラーキラー検出用入力端子
77	PALCR	A	PALID検出用にCRを接続
78	PALREF	A	PALID検出用のリファレンス入力端子(内部発生電圧2.5V)
79	RIN	A	ジッタ補正用ディレイライン制御端子
80	STSY	O	HPLL用水平位相エラー出力端子(標準信号時アクティブ)
81	PDO	O	HPLL用LPF出力端子
82	PDI	I	HPLL用LPF入力端子
83	HASY	O	HPLL用水平位相エラー出力端子(スキュー時アクティブ)
84	VCOOUT	O	VCOインバータ出力端子
85	VCOIN	I	VCOインバータ入力端子
86	VCFA2	A	AFC用バリキャップアノード端子
87	VCFA1	A	AFC用バリキャップアノード端子
88	VCFC	A	AFC用バリキャップコモン端子
89	DVDD5	P	デジタル電源(5V)端子(AFC, SSG等のゲンロック系)
90	DVSS5	G	デジタルGND端子(AFC, SSG等のゲンロック系)
91	FSCOUT	A	バーストロックのサブキャリアパルス出力(3.58MHz)(1Vpp)
92	BCIN	A	S端子クロマ信号入力端子
93	SSEL	I	S端子選択端子
94	BSEP	A	バースト分離用基準電圧安定化端子(内部発生電圧3.5V)
95	BVIDEO	A	バースト分離用ビデオ入力端子
96	VCFA2	A	APC用バリキャップアノード端子
97	VCXOOT	O	VCXOインバータ出力端子
98	VCXOIN	I	VCXOインバータ入力端子
99	AVDD5	P	アナログ(5V)電源端子(APC用)
100	AVSS5	G	アナログGND端子(APC用)

I/Oカラム

- A : アナログ端子
- G : グランド端子
- P : 電源端子
- I : デジタル入力端子
- O : デジタル出力端子
- I/O : デジタル入出力端子

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替および外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第三者の工業所有権その他の権利の実施に対する保証を行うものではありません。