



ZEN7103F

VMEスレーブボードトランシーバIC

ZEN7103Fは、VMEバス(注1)およびI/Oチャンネルのスレーブボードで使用するバスターンシーバICです。それぞれの規格に準拠したバスタイミングでマスターボードとデータ転送を行います。

VMEバスのトランシーバとして使用するとき、A16スレーブに対応しています。従ってアドレスはA1~A15をデコードします。(16ビットショートアドレス、AMコード29、2D)外部にデータバスバッファを設ける必要があります。

I/Oチャンネルのトランシーバとして使用するとき、割り込み信号を除くすべての信号がこのICに直結でき、バッファリングされてスレーブボード内の各LSIに供給されます。ボードアドレスを決定するアドレスデコード回路によってボードイネーブル信号、RD、WRといったタイミングストロブ信号をボード内に供給します。

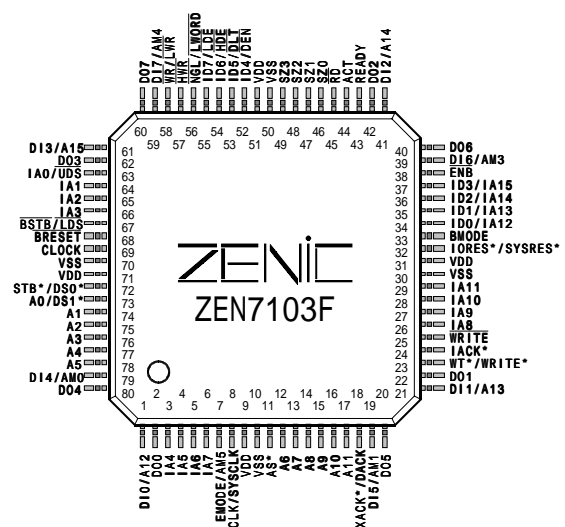
これにより、80系、68系の周辺LSIを容易に接続できます。

ZEN7101APからの上位改良互換品として置き換えが可能です。(注2)

1、特徴

- I/Oチャンネルの12ビットアドレスバスのすべてをバッファリング可能
- 可変長アドレスデコーダにより、1~4096バイトのスレーブが可能
- A8~11を無視して8ビットアドレスでも使用可能
- 周辺LSIタイミング信号 RD、WRを出力
- 応答タイミングを調整可能(READY信号)
- 外付けバッファ追加によりAMコード29、2DのVMEスレーブに対応(D16、A16スレーブ)
- CMOS LSI
- +5V単一電源
- 80ピン QFPパッケージ

端子配置図 (Top View)



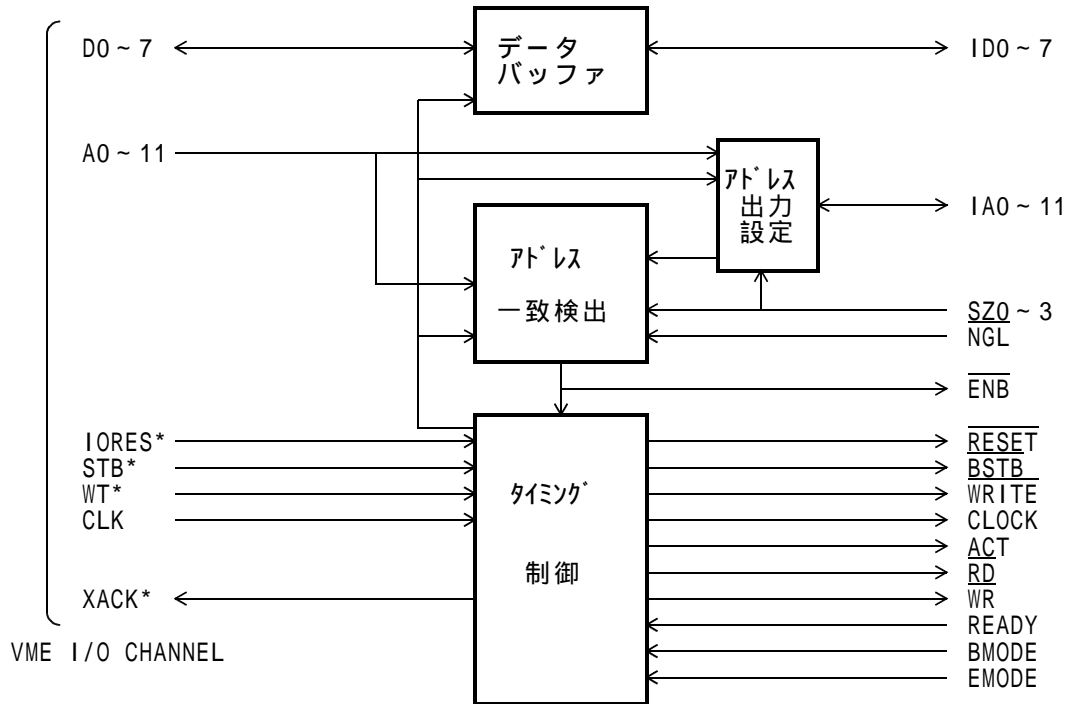
(注1) VMEは、モトローラ社の登録商標です。

(注2) 完全互換品ではありませんので、各仕様を確認のうえでご使用してください。

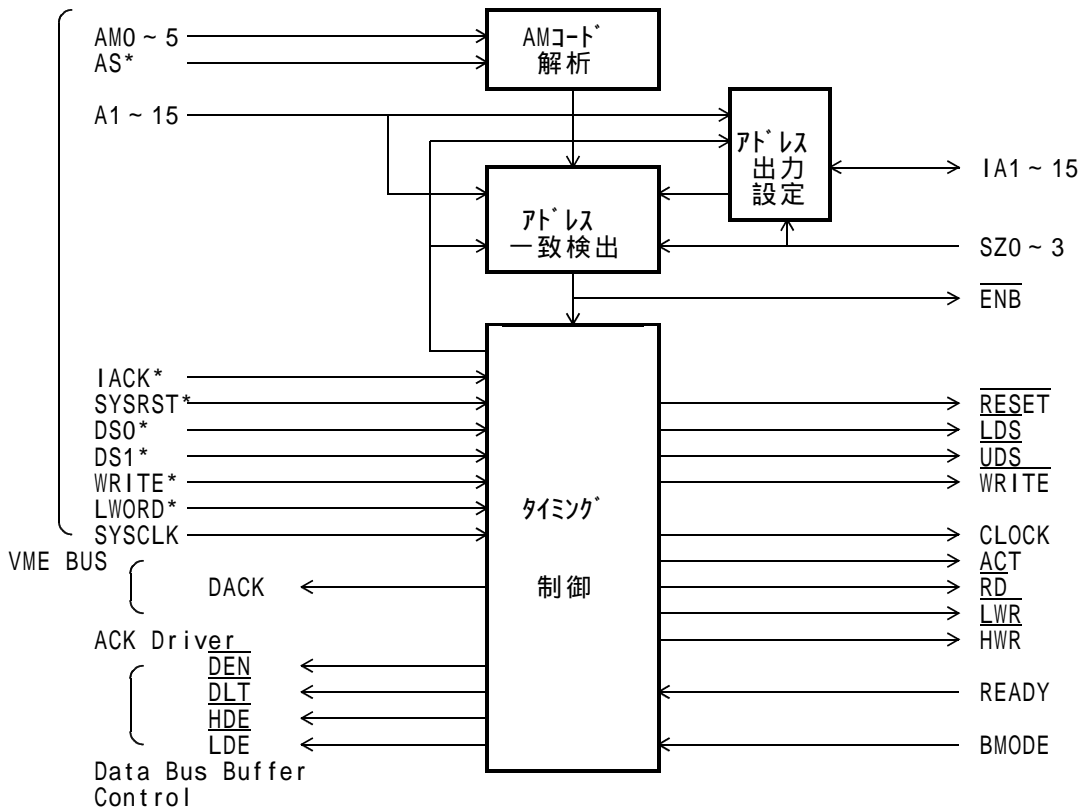
(Z7103B96)ZENIC INC.

2、ブロック図

2 - 1、I/Oチャンネルモード (BMODE=Low)



2 - 2、VMEスレーブモード (BMODE=High)



3、I/Oチャンネルモード (BMODE=Low)

3 - 1、端子記号と機能

端子記号	番号	I/O	機能
DI0, D00 DI1, D01 DI2, D02 DI3, D03 DI4, D04 DI5, D05 DI6, D06 DI7, D07	1, 2, 21, 22, 41, 42, 61, 62 79, 80 19, 20 39, 40 59, 60	入出力 3ステート	I/Oチャンネルの8ビットデータバスです。 I/Oチャンネルに直結。 データバスは双方向ピンですが、このICでは入出力が分離されています。I/Oチャンネルには2本必ず接続してください。 DInはテスト機能のため入出力ピンになっていますので、直接電源、GNDには接続できません。 (BMODE=High時には、DI0~DI7は別機能になります。)
A0 ~ A11	73, 74, 75, 76, 77, 78, 12, 13, 14, 15, 16, 17	入力	I/Oチャンネルの12ビットアドレスバスです。 I/Oチャンネルに直結。 (BMODE=High時には、A0入力は別機能になります。)
IORES*	32	入力	I/Oチャンネルのリセット信号です。I/Oチャンネルに直結。
STB*	72	入力	I/OチャンネルのSTB信号です。I/Oチャンネルに直結。 (BMODE=High時には、DS0*入力となります。)
WT*	23	入力	I/OチャンネルのWT信号です。I/Oチャンネルに直結。
CLK	8	入力	I/Oチャンネルのクロックです。I/Oチャンネルに直結。 4MHzのクロックです。 (BMODE=High時には、16MHzのSYSCLK入力です。)
XACK*	18	出力 OC	I/OチャンネルのXACK信号です。I/Oチャンネルに直結。 オープンコレクタ出力です。 (BMODE=High時には、DACK信号(正論理)になります。)
ID0 ~ ID7	34, 35, 36, 37, 52, 53 54, 55	入出力 3ステート	スレーブボードの内部8ビットデータバスです。 (BMODE=High時には、ID0~ID7は別機能になります。)
IA0 ~ IA11	63, 64, 65, 66, 3, 4, 5, 6, 26, 27, 28, 29	入出力	このピンは以下の2つの機能があります。 ・スレーブボードに供給するアドレスバス出力 ・アドレスデコードのためのDIPSW入力(注3) この機能の切り替えはSZ0~SZ3で設定します。 (BMODE=High時には、IA0入力は別機能になります。)
$\overline{\text{RESET}}$	68	出力	IORES*をバッファした出力信号です。
$\overline{\text{BSTB}}$	67	出力	STB*をバッファした出力信号です。
$\overline{\text{WRITE}}$	25	出力	WT*をバッファした出力信号です。
$\overline{\text{ENB}}$	38	出力	アドレス一致検出信号です。アドレス一致により出力されSTB*が有効な間はラッチされます。

(注3) 負論理入力です。詳細は、3 - 2 - (1) スレーブサイズを参照して下さい。

端子記号	番号	I/O	機能
\overline{RD}	45	出力	スレーブボードの読み出しタイミング信号です。
\overline{WR}	58	出力	スレーブボードの書き込みタイミング信号です。
ACT	44	出力	\overline{RD} 又は \overline{WR} が出力されている間出力されます。
CLOCK	69	出力	クロック出力です。CLK入力がバッファされ出力されます。 EMODE=Lowの時はCLKと同じ位相、EMODE=Highの時は1/2に分周されて出力されます。
\overline{NGL}	56	入力	LowでA8～A11を無視します。 (BMODE=High時には、別機能になります。)
SZ0～SZ3	46,47, 48,49	入力	アドレス一致検出の有効範囲を設定します。 この設定により、IA0～IA11は入力/出力が決定します。
BMODE	33	入力	バスのタイミングを設定します。 LowでI/Oチャンネルのトランシーバとして動作します。
EMODE	7	入力	CLOCK出力の設定をします。(BMODE=Low時のみ有効) LowでCLOCK出力はCLK入力と同相となります。 HighでCLOCK出力はCLK入力の1/2に分周されます。 (BMODE=High時には、別機能になります。)
READY	43	入力	XACK*の応答タイミングを決定する入力です。 常時Highを入力する事により、規定値でXACK*が自動生成されます。 STB*入力の立ち下がり検出後にこの信号がLowからHighに変化するとXACK*が出力されます。 この信号をACTに接続すると最速でXACK*が応答します。
AS*	11	入力	VMEバスモード時に使用します。 I/Oチャンネルモード時にはHighに固定(電源に接続)してください。
IACK*	24	入力	VMEバスモード時に使用します。 I/Oチャンネルモード時にはHighに固定(電源に接続)してください。
\overline{HWR}	57	出力	I/Oチャンネルモードでは使用しません。 オープンで使用してください。
VDD	9,31, 51,71		電源端子(+5V)
VSS	10,30, 50,70		GND端子(0V) すべての端子をGNDに接続してください。

3 - 2、動作概説

(1) スレーブサイズ

スレーブボードのサイズ(使用ポート数)をSZ0~SZ3で設定します。この設定によりIA0~IA11は内部アドレスバスとして使用するか、設定用DIPSW入力となるかが決定されます。

SZ0~3				スレーブ サイズ	IA0~11											
SZ3	SZ2	SZ1	SZ0		0	1	2	3	4	5	6	7	8	9	10	11
LOW	LOW	LOW	LOW	1	IN	IN	IN	IN	IN	IN	IN	IN	IN	IN	IN	IN
LOW	LOW	LOW	HIGH	2	OUT	IN	IN	IN	IN	IN	IN	IN	IN	IN	IN	IN
LOW	LOW	HIGH	LOW	4	OUT	OUT	IN	IN	IN	IN	IN	IN	IN	IN	IN	IN
LOW	LOW	HIGH	HIGH	8	OUT	OUT	OUT	IN	IN	IN	IN	IN	IN	IN	IN	IN
LOW	HIGH	LOW	LOW	1 6	OUT	OUT	OUT	OUT	IN	IN	IN	IN	IN	IN	IN	IN
LOW	HIGH	LOW	HIGH	3 2	OUT	OUT	OUT	OUT	OUT	IN	IN	IN	IN	IN	IN	IN
LOW	HIGH	HIGH	LOW	6 4	OUT	OUT	OUT	OUT	OUT	OUT	IN	IN	IN	IN	IN	IN
LOW	HIGH	HIGH	HIGH	1 2 8	OUT	OUT	OUT	OUT	OUT	OUT	OUT	IN	IN	IN	IN	IN
HIGH	LOW	LOW	LOW	2 5 6	OUT	OUT	OUT	OUT	OUT	OUT	OUT	OUT	IN	IN	IN	IN
HIGH	LOW	LOW	HIGH	5 1 2	OUT	OUT	OUT	OUT	OUT	OUT	OUT	OUT	OUT	IN	IN	IN
HIGH	LOW	HIGH	LOW	1 0 2 4	OUT	OUT	OUT	OUT	OUT	OUT	OUT	OUT	OUT	OUT	IN	IN
HIGH	LOW	HIGH	HIGH	2 0 4 8	OUT	OUT	OUT	OUT	OUT	OUT	OUT	OUT	OUT	OUT	OUT	IN
HIGH	HIGH	----	----	4 0 9 6	OUT	OUT	OUT	OUT	OUT	OUT	OUT	OUT	OUT	OUT	OUT	OUT

----はHIGH/LOWどちらでも同じで、SZ2、SZ3をHIGHに設定すると、IA0~IA11はすべて出力となつて、アドレスデコーダは機能しません。従って、ENB出力は常にLOWを出力します。

DIPSW入力は、負論理入力です。プルアップ抵抗とDIPSWを接続するだけでよくONで1、OFFで0と設定されます。

$\overline{\text{NGL}}$ 入力はアドレスデコーダの機能にてA8~A11を無視するだけで、このSZ0~SZ3の設定には影響しません。ただし、 $\overline{\text{NGL}}$ 入力をLOWとするとIA8~IA11も入力として意味を持たなくなります。(網掛け部)

$\overline{\text{NGL}}$ 入力は一部の8ビットアドレスを採用したI/Oチャネルに対応するための機能です。

(2) タイミング

VME I/Oチャネルに準拠したタイミングでマスターボードに応答を行います。このタイミングをスレーブボードで調整する場合は、READY信号を使用します。

READY信号の使用方法は大きく分けて3つあります。

- | | | |
|--------------------|-----------|---------------------------------|
| 1. 常時HIGHを与える。 | - - - - - | READY \bar{E} -ト ¹ |
| 2. ACT信号に接続する。 | - - - - - | READY \bar{E} -ト ² |
| 3. ユーザー回路から応答を受ける。 | - - - - - | READY \bar{E} -ト ³ |

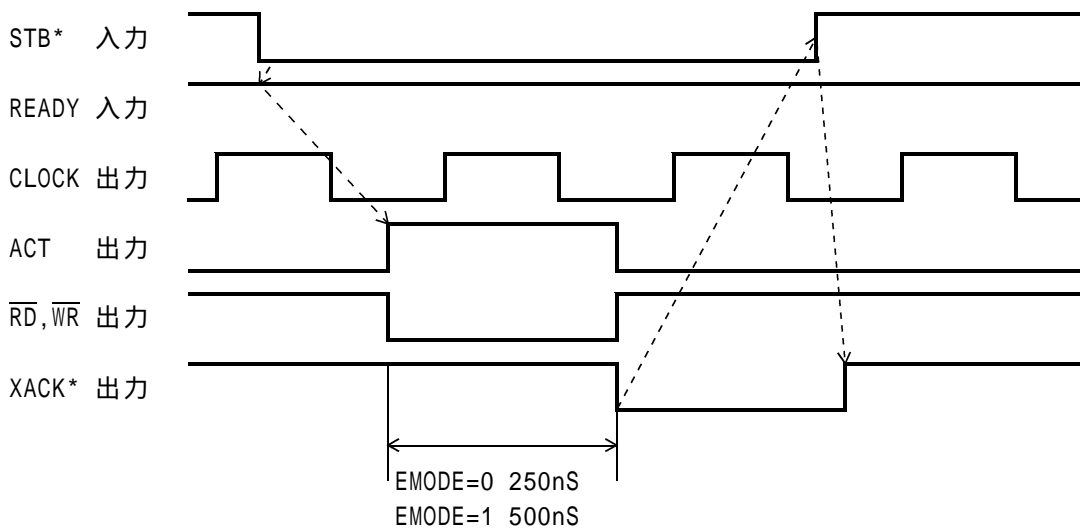
このトランシーバル S I は、まずマスターボードからアドレス入力と STB*、WT*によってバスサイクルの始まりを認識します。その時、上記のREADY信号の状態によって規定値動作するか、READY信号による応答で動作するかを決定します。

その後、CLK入力のタイミングで、 \overline{RD} 、 \overline{WR} 、ACTをアサートします。そして、規定のタイミングかまたはREADY信号の応答によって、I/OチャネルのマスターボードにXACK*信号でバスサイクルの終了要求を行います。このXACK*信号のアサート時に、 \overline{RD} 、 \overline{WR} 、ACTはネゲートされます。WRITE時は、このタイミングでスレーブボード内に書き込みが行われます。READ時にはスレーブボード内のデータをこのLSI内部のレジスタにラッチし、マスターボードがバスサイクルを終了させるまでデータをバスにドライブします。

次にREADYモードについて説明します。

【READY \bar{E} -ト¹】

STB*入力の立ち下がり検出時、READYがHIGHであるとZEN7103Fは規定値動作を行います。この時、EMODE入力の設定によって動作時間が変化します。これは、CLOCK出力を元にスレーブボードの動作を決定するためです。68系の周辺LSIでEクロックに対応する動作を行う場合は、EMODE=HIGH、READY=HIGHで使用します。(注4)

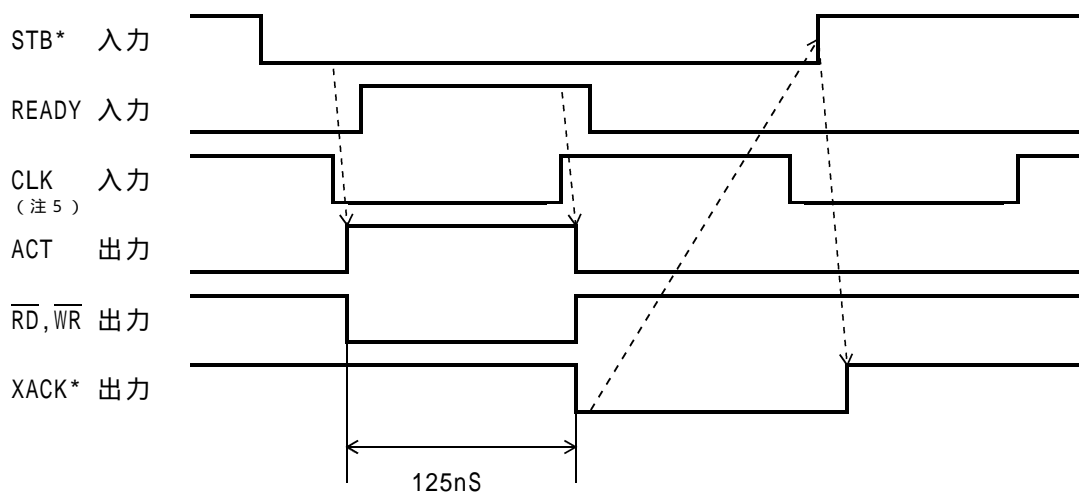


(注4) 68系のEクロック対応には、外付け回路が必要になります。詳細は、8-2アプリケーションノートを参照して下さい。

【READYモード2】

STB*入力の立ち下がり検出時、READYがLOWであるとZEN7103FはREADY信号の監視を行います。このREADY信号の監視はCLK入力の变化毎に行います。すなわち125nS毎にチェックします。READY信号がHIGHに変化すると、次のCLK入力変化でXACK*を出力します。

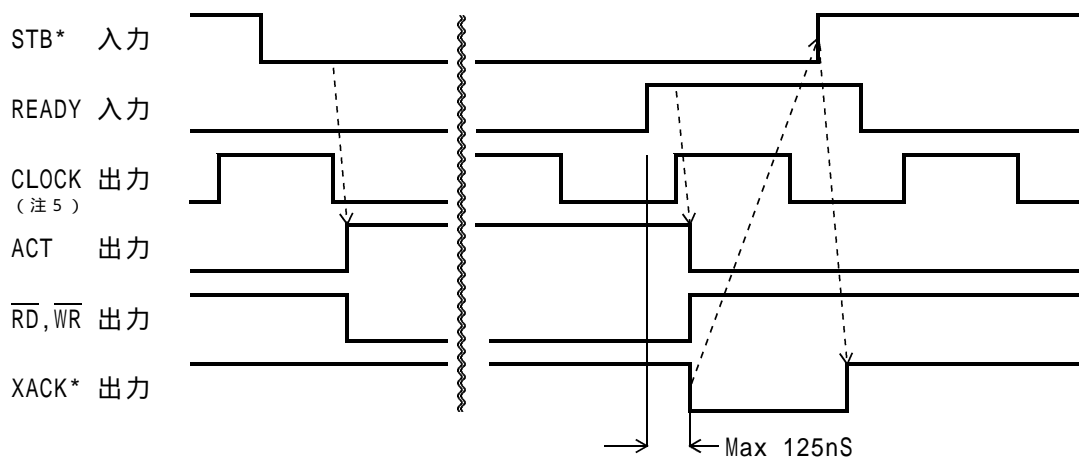
READY信号をACT信号に接続したこのモードでは、ACT信号幅125nSとなり最速の応答を行うことができます。



【READYモード3】

モード2と同様にSTB*入力の立ち下がり検出時、READYがLOWであるとZEN7103FはREADY信号の監視を行います。このREADY信号の監視はCLK入力の变化毎に行います。ユーザーの付加したタイミング回路からREADY信号が入力されると、次のCLK入力変化でXACK*を出力します。

これによりユーザーで応答タイミングの調整が可能となります。



(注5) 位相が逆の場合も有ります。

4、VMEスレーブモード (BMODE=High)

4 - 1、端子記号と機能

端子記号	番号	I / O	機能
A1 ~ A15	74,75, 76,77, 78,12, 13,14, 15,16, 17, 1, 21,41, 61	入力	VMEバスのA16タイプのアドレスバスです。 VMEバスに直結。 (BMODE=Low時には、A12~15入力は別機能になります。)
AM0, AM1, AM3 AM4, AM5	79,19, 39,59, 7	入力	VMEバスのAMコード入力です。 VMEバスに直結。 このコードが29、2Dの時だけスレーブボードとして応答します。 AM2は使用していません。 (BMODE=Low時には、別機能になります。)
IORES* (SYSRESET*)	32	入力	VMEバスのリセット信号です。VMEバスに直結。
AS*	11	入力	VMEバスのアドレスストローブ信号です。 VMEバスに直結。 (BMODE=Low時には、使用しません。)
DS0*	72	入力	VMEバスの下位のデータストローブ信号です。 VMEバスに直結。 (BMODE=Low時には、STB*入力となります。)
DS1*	73	入力	VMEバスの上位のデータストローブ信号です。 VMEバスに直結。 (BMODE=Low時には、A0入力となります。)
WRITE*	23	入力	VMEバスのWRITE信号です。VMEバスに直結。
LWORD*	56	入力	VMEバスのLWORD信号です。VMEバスに直結。 (BMODE=Low時には、NGL入力となります。)
IACK*	24	入力	VMEバスの割り込み応答信号です。VMEバスに直結。
DACK	18	出力	VMEバスのDTACK信号をドライブするための信号です。 VMEバスのドライブ能力に適合するようにIOL=48mAを満足するオープンコレクタ・インバーターを使用します。 (BMODE=Low時には、XACK信号(負論理、0C)になります。)
SYSCLK	8	入力	VMEバスのクロックです。VMEバスに直結。 16MHzのクロックです。 (BMODE=Low時には、4MHzのCLK入力です。)

端子記号	番号	I / O	機能
IA1 ~ IA15	64, 65, 66, 3, 4, 5, 6, 26, 27, 28, 29, 34, 35, 36, 37	入出力	このピンは以下の2つの機能があります。 ・スレーブボードに供給するアドレスバス出力 ・アドレスデコードのためのDIPSW入力(注6) この機能の切り替えはSZ0~SZ3で設定します。
$\overline{\text{RESET}}$	68	出力	SYSRESET*をバッファした出力信号です。
$\overline{\text{LDS}}$	67	出力	DS0*をバッファした出力信号です。
$\overline{\text{UDS}}$	63	出力	DS1*をバッファした出力信号です。
$\overline{\text{WRITE}}$	25	出力	WRITE*をバッファした出力信号です。
$\overline{\text{ENB}}$	38	出力	アドレス一致検出信号です。アドレス一致により出力されDS0*かDS1*が有効な間はラッチされます。
$\overline{\text{RD}}$	45	出力	スレーブボードの読み出しタイミング信号です。
$\overline{\text{LWR}}$	58	出力	スレーブボードの下位バイト書き込みタイミング信号です。
$\overline{\text{HWR}}$	57	出力	スレーブボードの上位バイト書き込みタイミング信号です。
ACT	44	出力	$\overline{\text{RD}}$ 又は $\overline{\text{LWR}}$ 、 $\overline{\text{UWR}}$ が出力されている間出力されます。
CLOCK	69	出力	クロック出力です。CLK入力がバッファされ出力されます。
SZ0 ~ SZ3	46, 47, 48, 49	入力	アドレス一致検出の有効範囲を設定します。 この設定により、IA1 ~ IA15は入力/出力が決定します。
BMODE	33	入力	バスのタイミングを設定します。 HighでVMEバスのトランシーバとして動作します。
READY	43	入力	ACKの応答タイミングを決定する入力です。 常時Highを入力する事により、規定値でDACKが自動生成されます。DSn*入力の立ち下がり検出後にこの信号がLowからHighに変化するとDACKが出力されます。 この信号をACTに接続すると最速でDACKが応答します。
$\overline{\text{DEN}}$	52	出力	VMEバスのデータバスを制御する信号です。 スレーブボードにデータを書き込む時にVMEバスからボードにデータをドライブさせる時にLowになります。 (BMODE=Low時には、内部データバスです。)
$\overline{\text{DLT}}$	53	出力	VMEバスのデータバスを制御する信号です。 スレーブボードからデータを読み出す時にマスターが読み終えるまでデータバッファにデータをラッチさせておくタイミング信号です。Lowで通過、Highで保持動作を要求します。 (BMODE=Low時には、内部データバスです。)

(注6)負論理入力です。詳細は、4-2-(1)スレーブサイズを参照して下さい。

端子記号	番号	I/O	機能
$\overline{\text{LD}}\overline{\text{E}}$	55	出力	VMEバスのデータバスを制御する信号です。 スレーブボードからデータを読み出す時にVMEバスにデータをドライブさせる時にLowになります。下位バイトのドライブ信号です。 (BMODE=Low時には、内部データバスです。)
$\overline{\text{HD}}\overline{\text{E}}$	54	出力	VMEバスのデータバスを制御する信号です。 スレーブボードからデータを読み出す時にVMEバスにデータをドライブさせる時にLowになります。上位バイトのドライブ信号です。 (BMODE=Low時には、内部データバスです。)
D00~7	2,22, 42,62, 80,20, 40,60	出力	I/Oチャンネルモード時のデータ出力ですが、VMEモードでは使用しません。オープンにしてください。 (BMODE=Low時には、外部データ出力です。)
VDD	9,31, 51,71		電源端子(+5V)
VSS	10,30, 50,70		GND端子(0V) すべての端子をGNDに接続してください。

4 - 2、動作概説

(1) スレーブサイズ

スレーブボードのサイズ(使用ポート数)をSZ0~SZ3で設定します。この設定によりIA1~IA15は内部アドレスバスとして使用するか、設定用DIPSW入力となるかが決定されます。

SZ0~3				スレーブ サイズ	IA1~15														
SZ3	SZ2	SZ1	SZ0		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
LOW	LOW	LOW	LOW	6 5 5 3 6	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
LOW	LOW	LOW	HIGH	2	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
LOW	LOW	HIGH	LOW	4	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
LOW	LOW	HIGH	HIGH	8	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
LOW	HIGH	LOW	LOW	1 6	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
LOW	HIGH	LOW	HIGH	3 2	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
LOW	HIGH	HIGH	LOW	6 4	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
LOW	HIGH	HIGH	HIGH	1 2 8	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
HIGH	LOW	LOW	LOW	2 5 6	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
HIGH	LOW	LOW	HIGH	5 1 2	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
HIGH	LOW	HIGH	LOW	1 0 2 4	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
HIGH	LOW	HIGH	HIGH	2 0 4 8	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
HIGH	HIGH	LOW	LOW	4 0 9 6	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
HIGH	HIGH	LOW	HIGH	8 1 9 2	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
HIGH	HIGH	HIGH	LOW	1 6 3 8 4	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
HIGH	HIGH	HIGH	HIGH	3 2 7 6 8	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

このLSIはA16スレーブにのみ応答します。従って、アドレスバスはA1~A15までのみデコードします。このA16スレーブの検出はAMコード(アドレス・モディファイアコード)をデコードします。

A16スレーブは

29: ショート非特権アクセス

2D: ショートスーパーバイザーアクセス

で指定されます。このため、AM2はデコードされません。

SZ0~SZ3をLowに設定すると、IA1~IA15はすべて出力となって、アドレスデコーダは機能しません。従って、AMコードが29又は2Dでショートアクセス指定(A16スレーブ)となるとENB出力は常にLOWを出力します。

DIPSW入力は、負論理入力です。プルアップ抵抗とDIPSWを接続するだけでよくONで1、OFFで0と設定されます。

(2) タイミング

VMEデータバスに準拠したタイミングでマスターボードに応答を行います。このタイミングをスレーブボードで調整を行う場合は、READY信号を使用します。

READY信号の使用方法は大きく分けて3つあります。

- | | | |
|--------------------|-----------|---------------------------------|
| 1. 常時HIGHを与える。 | - - - - - | READY \bar{E} -ト ¹ |
| 2. ACT信号に接続する。 | - - - - - | READY \bar{E} -ト ² |
| 3. ユーザー回路から応答を受ける。 | - - - - - | READY \bar{E} -ト ³ |

このトランシーバLSIは、まずマスターボードからアドレス、AMコードとAS*、DSn*、WRITE*によってバスサイクルの始まりを認識します。その時、上記のREADY信号の状態によって規定値動作するか、READY信号による応答で動作するかを決定します。

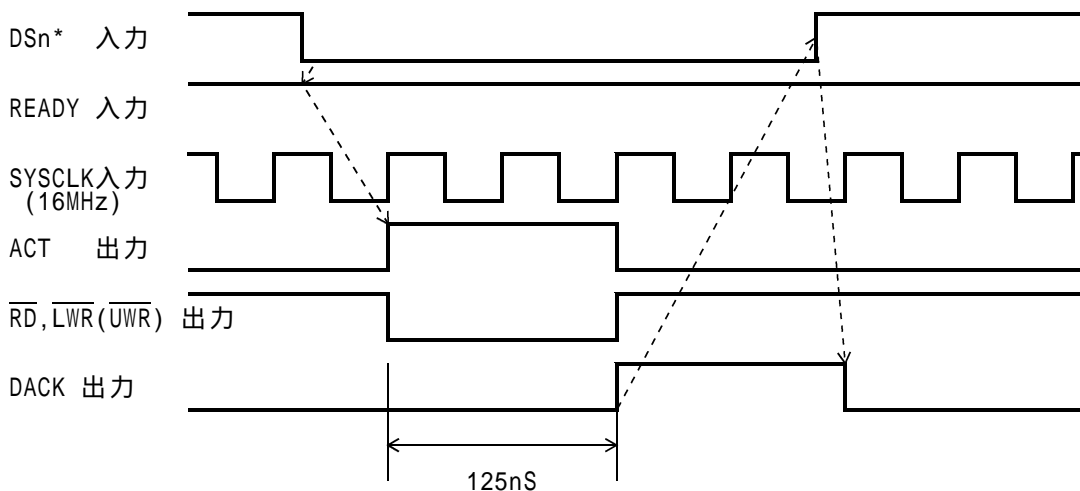
その後、SYSCLK入力の立ち上がりエッジで、 \overline{RD} 、 \overline{LWR} (\overline{UWR})、ACTをアサートします。そして、規定のタイミングかまたはREADY信号の応答によって、マスターボードにDACK*信号でバスサイクルの終了要求を行います。このDACK*信号のアサート時に、 \overline{RD} 、 \overline{LWR} (\overline{UWR})、ACTはネゲートされます。WRITE時は、このタイミングでスレーブボード内に書き込みが行われます。READ時にはスレーブボードのデータバッファにデータをラッチし、マスターボードがバスサイクルを終了させるまでデータをバスにドライブします。このデータバッファを制御する信号をこのLSIから供給します。

次にREADYモードについて説明します。

【READY \bar{E} -ト¹】

DSn*入力の立ち下がり検出時、READYがHIGHであるとZEN7103Fは規定値動作を行います。

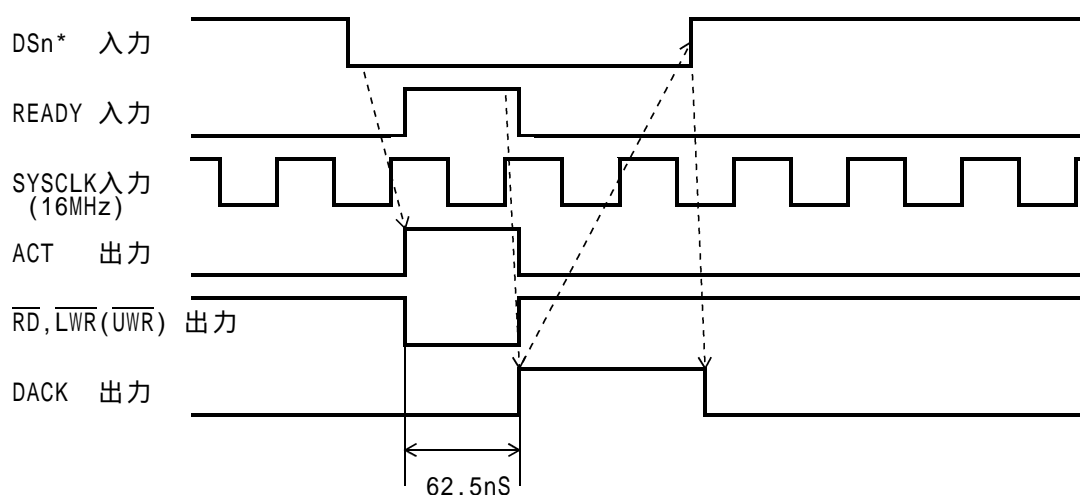
DSn*がアサートされると最初のSYSCLKの立ち上がりエッジで、 \overline{RD} 、 \overline{WR} 、ACTをアサートします。そしてSYSCLKの2クロック後に、マスターボードにDACK*信号でバスサイクルの終了要求を行います。このDACK*信号のアサート時に、 \overline{RD} 、 \overline{LWR} (\overline{UWR})、ACTはネゲートされます。



【READYモード2】

DSn*入力の立ち下がり検出時、READYがLOWであるとZEN7103FはREADY信号の監視を行います。このREADY信号の監視はSYSCLK入力の立ち上がりエッジ毎に行います。READYモード1と同様にDSn*がアサートされると最初のSYSCLKの立ち上がりエッジで、 \overline{RD} 、 \overline{LWR} (UWR)、ACTをアサートします。その次のSYSCLKの立ち上がりエッジからREADYの監視を、62.5nS毎にチェックします。READY信号がHIGHであることを確認すると、すぐにDACKをアサートし \overline{RD} 、 \overline{LWR} (UWR)、ACTはネゲートします。

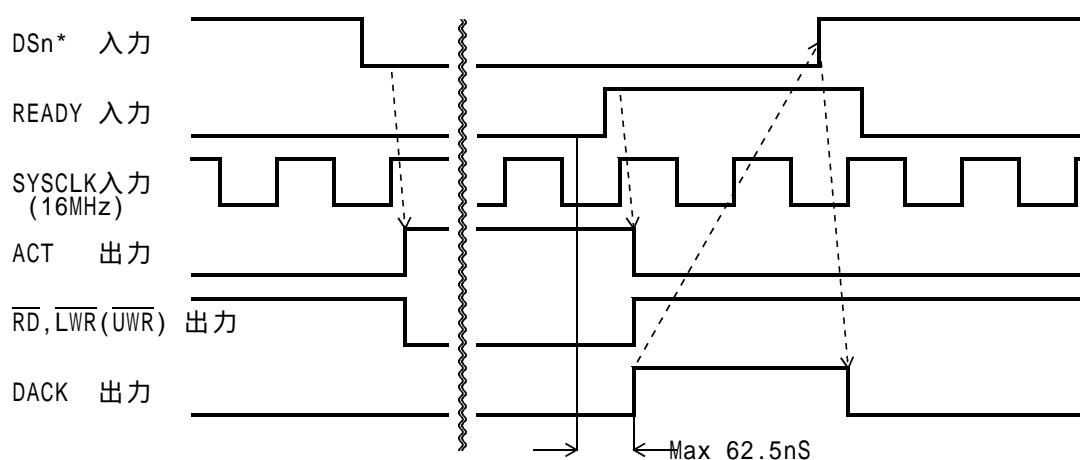
READY信号をACT信号に接続したこのモードでは、ACT信号幅62.5nSとなり最速の応答を行うことができます。



【READYモード3】

モード2と同様にDSn*入力の立ち下がり検出時、READYがLOWであるとZEN7103FはREADY信号の監視を行います。このREADY信号の監視はCLK入力の变化毎に行います。ユーザーの付加したタイミング回路からREADY信号が入力されると、次のCLK入力変化でDACKをアサートします。

これによりユーザーで応答タイミングの調整が可能となります。



5、端子番号一覧

端子番号	I/O	I/Oチャネルモード*	VMEスレーブモード*	端子番号	I/O	I/Oチャネルモード*	VMEスレーブモード*
1	I/O	D10	A12	41	I/O	D12	A14
2	OZ	D00	(D00)=OPEN	42	OZ	D02	(D02)=OPEN
3	I/O	IA4	IA4	43	I	READY	READY
4	I/O	IA5	IA5	44	0	ACT	ACT
5	I/O	IA6	IA6	45	0	RD	RD
6	I/O	IA7	IA7	46	I	SZ0	SZ0
7	I	EMODE	AM5	47	I	SZ1	SZ1
8	I	CLK	SYSCLK	48	I	SZ2	SZ2
9	--	VDD	VDD	49	I	SZ3	SZ3
10	--	VSS	VSS	50	--	VSS	VSS
11	I	(AS*)=VDD	AS*	51	--	VDD	VDD
12	I	A6	A6	52	I/O	ID4	DEN
13	I	A7	A7	53	I/O	ID5	DLT
14	I	A8	A8	54	I/O	ID6	HDE
15	I	A9	A9	55	I/O	ID7	LDE
16	I	A10	A10	56	I	NGL	LWORD
17	I	A11	A11	57	0	(HWR)=OPEN	HWR
18	OC/O	XACK*	DACK	58	0	WR	LWR
19	I/O	D15	AM1	59	I/O	D17	AM4
20	OZ	D05	(D05)=OPEN	60	OZ	D07	(D07)=OPEN
21	I/O	D11	A13	61	I/O	D13	A15
22	OZ	D01	(D01)=OPEN	62	OZ	D03	(D03)=OPEN
23	I	WT*	WRITE*	63	I/O	IA0	UDS
24	I	(IACK*)=VDD	IACK*	64	I/O	IA1	IA1
25	0	WRITE	WRITE	65	I/O	IA2	IA2
26	I/O	IA8	IA8	66	I/O	IA3	IA3
27	I/O	IA9	IA9	67	0	BSTB	LDS
28	I/O	IA10	IA10	68	0	BRESET	BRESET
29	I/O	IA11	IA11	69	0	CLOCK	CLOCK
30	--	VSS	VSS	70	--	VSS	VSS
31	--	VDD	VDD	71	--	VDD	VDD
32	I	IORES*	SYSRES*	72	I	STB*	DS0*
33	I	BMODE	BMODE	73	I	A0	DS1*
34	I/O	ID0	IA12	74	I	A1	A1
35	I/O	ID1	IA13	75	I	A2	A2
36	I/O	ID2	IA14	76	I	A3	A3
37	I/O	ID3	IA15	77	I	A4	A4
38	0	ENB	ENB	78	I	A5	A5
39	I/O	D16	AM3	79	I/O	D14	AM0
40	OZ	D06	(D06)=OPEN	80	OZ	D04	(D04)=OPEN

I/O: 入出力ピン

I : 入力ピン

0 : 出力ピン(トームポール) OZ : 出力ピン(トライステート) OC : 出力ピン(オープンコレクタ)

6、電気的特性

6 - 1、絶対最大定格

 $V_{SS}=0V$

記号	項目	条件	最小	標準	最大	単位
V_{DD}	電源電圧	GND端子に対して	-0.5		7.0	V
V_I	入力端子電圧	GND端子に対して	-0.5		$V_{CC}+0.5$	V
V_O	出力端子電圧	GND端子に対して	-0.5		$V_{CC}+0.5$	V
T_{opr}	動作周囲温度		-40		70	
T_{stg}	保存温度		-55		150	

6 - 2、推奨動作条件

 $V_{SS}=0V$

記号	項目	条件	最小	標準	最大	単位
V_{DD}	電源電圧		4.75	5.0	5.25	V
T_a	周囲温度		0		70	

6 - 3、直流特性

 $T_a=0 \sim +70$ 、 $V_{CC}=5V \pm 5\%$ 、 $V_{SS}=0V$

記号	項目	条件	最小	標準	最大	単位
V_{IL}	低レベル入力電圧		0		0.8	V
V_{IH}	高レベル入力電圧		2.0		V_{CC}	V
V_{OL}	低レベル出力電圧	$I_{OL}=8mA$ (グループA)			0.4	V
		$I_{OL}=12mA$ (グループB)			0.4	V
		$I_{OL}=24mA$ (グループC)			0.4	V
V_{OH}	高レベル出力電圧	$I_{OH}=-0.1mA$ (グループA)	$0.7V_{CC}$			V
		$I_{OH}=-1mA$ (グループB)	$V_{CC}-0.6$			V
		$I_{OH}=-1mA$ (グループC)	$V_{CC}-0.6$			V
I_{II}	入力リーク電流	$V_I=V_{DD}/V_{SS}$	-10		+10	μA
I_{DDs}	静止電源電流	$V_{IH}=V_{DD}, V_{IL}=V_{SS}$			280	μA
I_{DDO}	動作時電源電流	$V_I=V_{DD}/V_{SS}$		20	40	mA

グループA: CLOCK, ENB, ACT, RESET, BSTB, RD, WR, HWR, WRITE, IA0 ~ 11

グループB: ID0 ~ 7, D0 ~ 7

グループC: XACK*

(注7)

(注7) 端子名称は、I/Oチャンネルモードで表記してあります。

6 - 4、交流特性 1

T_a=0 ~ +70、V_{CC}=5V ± 5%、V_{SS}=0V

I / Oチャネルモード (BMODE=Low)					
番号	記号	項目	規格値		単位
			最小	最大	
(1)	t _{cyc}	クロック サイクル時間 (BMODE=Low)	250		nS
(2)	t _{cwh}	クロック High パルス幅	100		nS
(3)	t _{cwl}	クロック Low パルス幅	100		nS
(4)	t _{dhh(OCK)}	CLOCK (クロック立ち上がり)遅れ時間 (EMODE=Low)		18	nS
(5)	t _{dll(OCK)}	CLOCK (クロック立ち下がり)遅れ時間 (EMODE=Low)		18	nS
(6)	t _{dhh(ECK)}	CLOCK (クロック立ち上がり)遅れ時間 (EMODE=High)		20	nS
(7)	t _{dhl(ECK)}	CLOCK (クロック立ち下がり)遅れ時間 (EMODE=High)		20	nS
(8)	t _{hs(STB)}	STB* (クロック立ち上がり)セットアップ ^o 時間	10		nS
(9)	t _{hh(STB)}	STB* (クロック立ち上がり)ホールド ^o 時間	0		nS
(10)	t _{ls(STB)}	STB* (クロック立ち下がり)セットアップ ^o 時間	10		nS
(11)	t _{lh(STB)}	STB* (クロック立ち下がり)ホールド ^o 時間	0		nS
(12)	t _{d1(BSTB)}	BSTB (STB* 立ち下がり)遅れ時間		18	nS
(13)	t _{dh(BSTB)}	BSTB (STB* 立ち上がり)遅れ時間		18	nS
(14)	t _{dhl(ACK)}	XACK* (クロック立ち上がり)遅れ時間		18	nS
(15)	t _{dll(ACK)}	XACK* (クロック立ち下がり)遅れ時間		18	nS
(16)	t _{dh(ACK)}	XACK* (STB* 立ち上がり)遅れ時間		15	nS
(17)	t _{ss(RDY)}	READY (STB* 立ち下がり)セットアップ ^o 時間	0		nS
(18)	t _{sh(RDY)}	READY (STB* 立ち下がり)ホールド ^o 時間	8		nS
(19)	t _{hs(RDY)}	READY (クロック立ち上がり)セットアップ ^o 時間	5		nS
(20)	t _{hh(RDY)}	READY (クロック立ち上がり)ホールド ^o 時間	3		nS
(21)	t _{ls(RDY)}	READY (クロック立ち下がり)セットアップ ^o 時間	5		nS
(22)	t _{lh(RDY)}	READY (クロック立ち下がり)ホールド ^o 時間	3		nS
(23)	t _{dh(RWA)}	RD, WR, ACT (クロック立ち上がり)遅れ時間		25	nS
(24)	t _{dh(RWA)}	RD, WR, ACT (クロック立ち上がり)遅れ時間		25	nS
(25)	t _{d1(RWA)}	RD, WR, ACT (クロック立ち下がり)遅れ時間		25	nS
(26)	t _{d1(RWA)}	RD, WR, ACT (クロック立ち下がり)遅れ時間		25	nS
(27)	t _{s(An)}	アドレッシング (STB* 立ち下がり)セットアップ ^o 時間	20		nS
(28)	t _{h(An)}	アドレッシング (STB* 立ち下がり)ホールド ^o 時間	13		nS
(29)	t _{dt(IAn)}	内部アドレッシング (IA0 ~ 11) 伝搬時間		40	nS
(30)	t _{de(IAn)}	内部アドレッシング (IA0 ~ 11) (STB* 立ち上がり)保持時間	18		nS
(31)	t _{dt(ENB)}	ENB (アドレッシング一致)遅れ時間		25	nS
(32)	t _{de(ENB)}	ENB (STB* 立ち上がり)保持時間		28	nS
(33)	t _{dv(IDn)}	内部データバス (ID0 ~ 7) (STB* 立ち下がり)出力イネーブル時間		18	nS
(34)	t _{dz(IDn)}	内部データバス (ID0 ~ 7) (STB* 立ち上がり)出力ディセーブル時間		15	nS
(35)	t _{s(IDn)}	内部データバス スラッシュ (RD 立ち上がり時のクロック)セットアップ ^o 時間	0		nS
(36)	t _{h(IDn)}	内部データバス スラッシュ (RD 立ち上がり時のクロック)ホールド ^o 時間	13		nS
(37)	t _{dv(Dn)}	データバス (D0 ~ 7) (STB* 立ち下がり)出力イネーブル時間		40	nS
(38)	t _{dz(Dn)}	データバス (D0 ~ 7) (STB* 立ち上がり)出力ディセーブル時間		40	nS
(39)	t _{dt(Dn)}	データバス (D0 ~ 7)遅れ時間		25	nS
(40)	t _{d1(BRST)}	BRESET (IORES* 立ち下がり)遅れ時間		15	nS
(41)	t _{dh(BRST)}	BRESET (IORES* 立ち上がり)遅れ時間	2 * t _{cyc}		nS

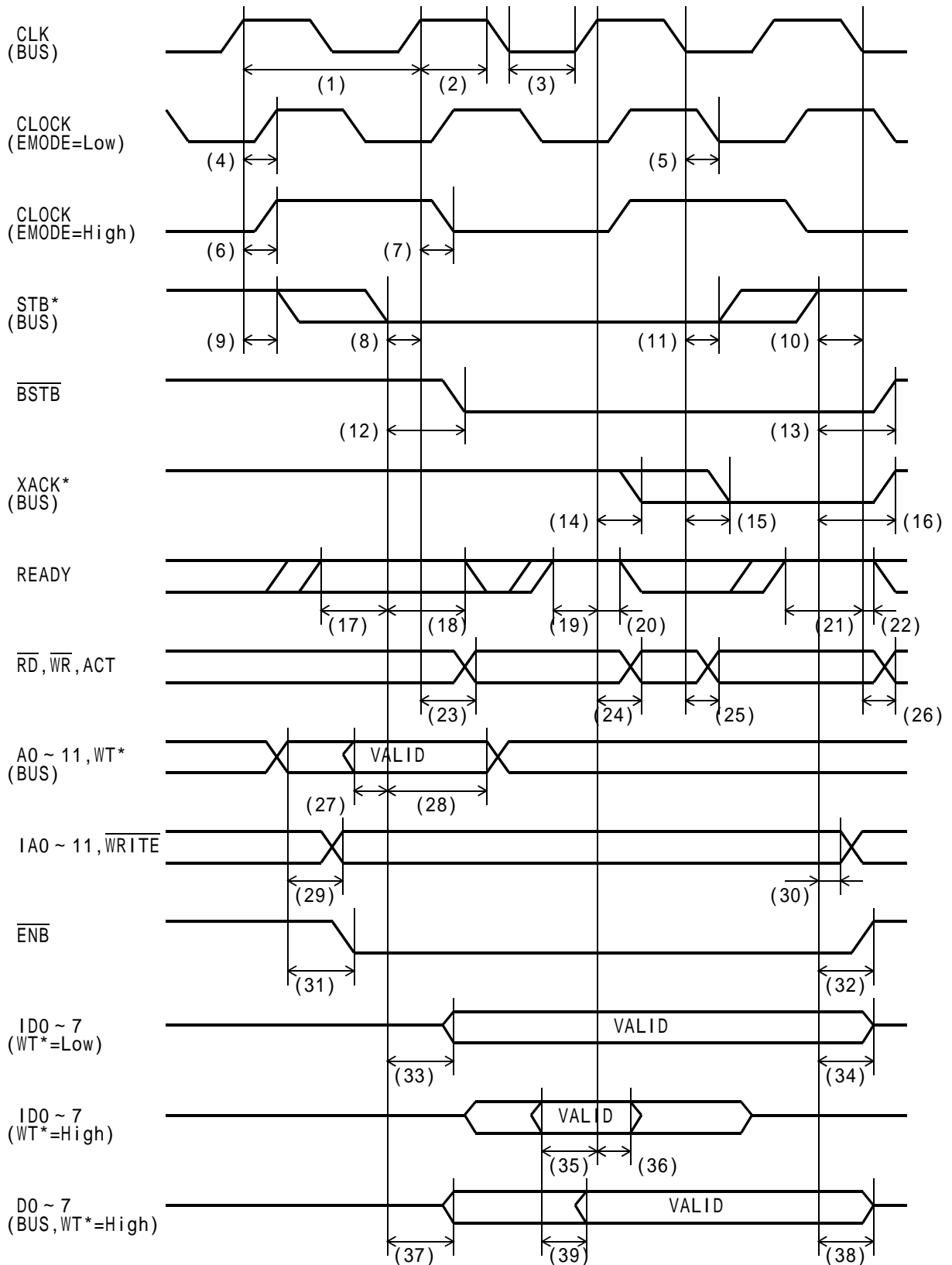
6 - 5、交流特性 2

T_a=0 ~ +70、V_{CC}=5V ± 5%、V_{SS}=0V

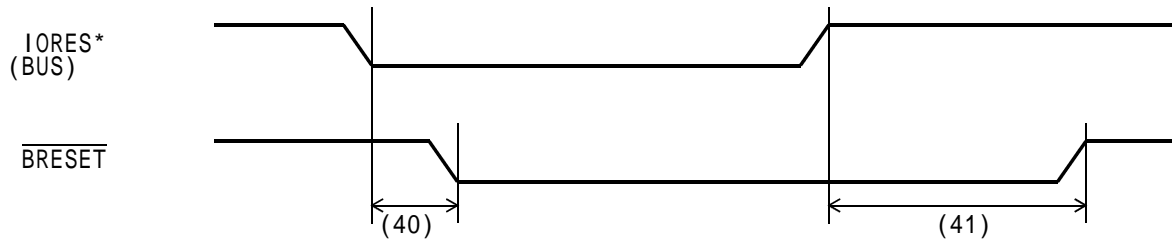
VMEスレーブモード (BMODE=High)					
番号	記号	項目	規格値		単位
			最小	最大	
(51)	t _{cyc}	クロック サイクル時間 (BMODE=High)	62.5		nS
(52)	t _{cwh}	クロック High パルス幅	25		nS
(53)	t _{cwl}	クロック Low パルス幅	25		nS
(54)	t _{dhh(OCK)}	CLOCK (クロック立ち上がり)遅れ時間		18	nS
(55)	t _{dll(OCK)}	CLOCK (クロック立ち下がり)遅れ時間		18	nS
(56)	t _{hs(DSn)}	DSn* (クロック立ち上がり)セットアップ ^o 時間	10		nS
(57)	t _{hh(DSn)}	DSn* (クロック立ち上がり)ホールド ^o 時間	0		nS
(58)	t _{d1(ULDS)}	UDS, LDS (DSn* 立ち下がり)遅れ時間	10		nS
(59)	t _{dh(ULDS)}	UDS, LDS (DSn* 立ち上がり)遅れ時間	0		nS
(60)	t _{dhl(ACK)}	DACK, DLT (クロック立ち上がり)遅れ時間		25	nS
(61)	t _{dh(ACK)}	DACK, DLT (DSn* 立ち上がり)遅れ時間		15	nS
(62)	t _{ss(RDY)}	READY (DSn* 立ち下がり)セットアップ ^o 時間	0		nS
(63)	t _{sh(RDY)}	READY (DSn* 立ち下がり)ホールド ^o 時間	8		nS
(64)	t _{hs(RDY)}	READY (クロック立ち上がり)セットアップ ^o 時間	5		nS
(65)	t _{hh(RDY)}	READY (クロック立ち上がり)ホールド ^o 時間	3		nS
(66)	t _{dh(RWA)}	RD, LWR, UWR, ACT (クロック立ち上がり)遅れ時間		25	nS
(67)	t _{dh(RWA)}	RD, LWR, UWR, ACT (クロック立ち上がり)遅れ時間		25	nS
(68)	t _{s(An)}	アト ^o レスラッチ・テ ^o コード ^o (DSn* 立ち下がり)セットアップ ^o 時間	20		nS
(69)	t _{h(An)}	アト ^o レスラッチ・テ ^o コード ^o (DSn* 立ち下がり)ホールド ^o 時間	13		nS
(70)	t _{dt(IAn)}	内部アト ^o レスパ ^o ス(IA1 ~ 15)伝搬時間		40	nS
(71)	t _{de(IAn)}	内部アト ^o レスパ ^o ス(IA1 ~ 15) (DSn* 立ち上がり)保持時間	18		nS
(72)	t _{dt(ENB)}	ENB (アト ^o レス-致)遅れ時間		25	nS
(73)	t _{de(ENB)}	ENB (DSn* 立ち上がり)保持時間		28	nS
(74)	t _{d1(DE)}	DEN, LDE, HDE (DSn* 立ち下がり)遅れ時間		20	nS
(75)	t _{dh(DE)}	DEN, LDE, HDE (DSn* 立ち上がり)遅れ時間		25	nS
(76)	t _{d1(BRST)}	BRESET (IORES* 立ち下がり)遅れ時間		15	nS
(77)	t _{dh(BRST)}	BRESET (IORES* 立ち上がり)遅れ時間	2 * t _{cyc}		nS

6 - 6、タイミングダイアグラム (注8)

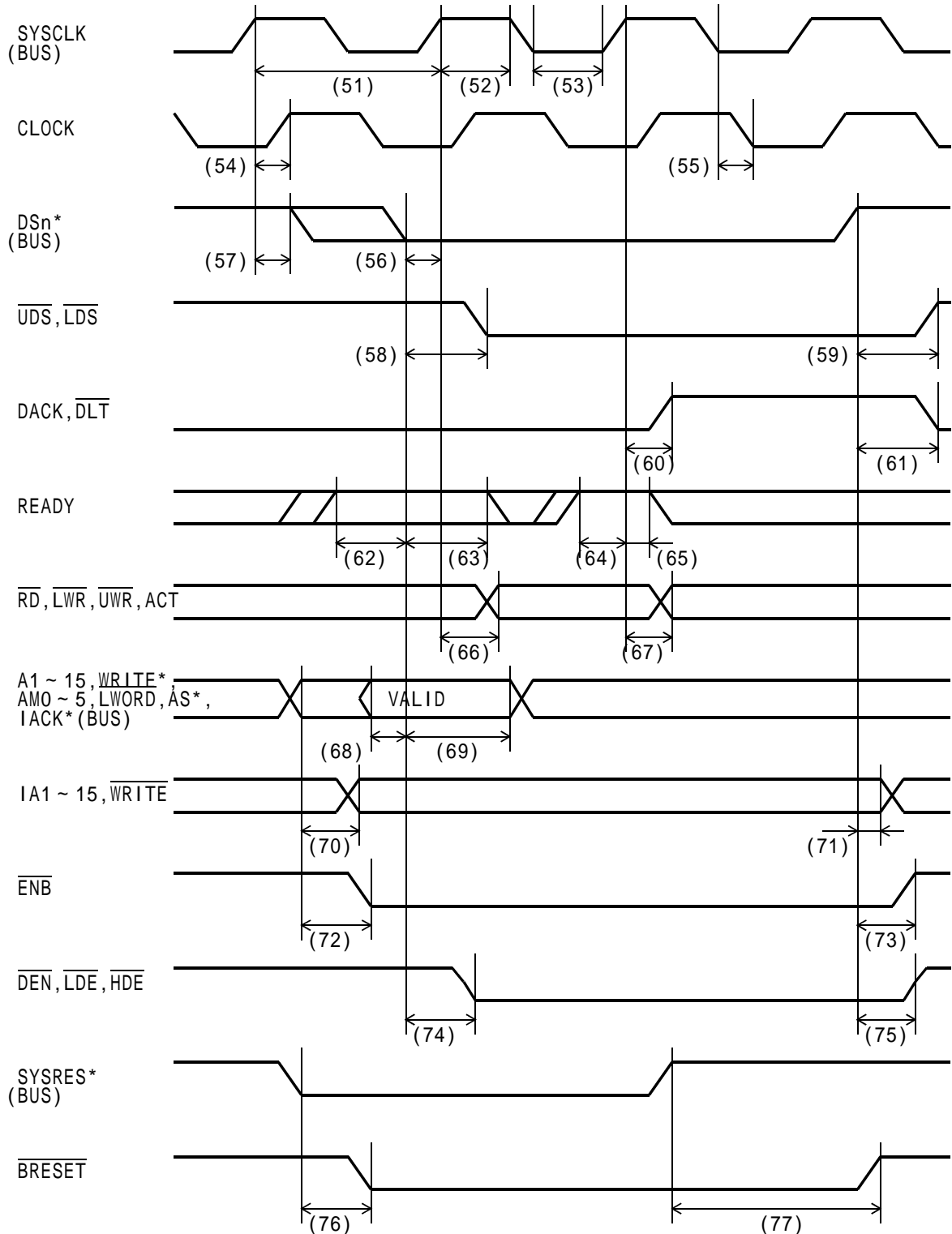
(1) I/Oチャンネルモード (BMODE=Low)



(注8) この図は時間関係を表すもので、信号相互の動きを定義するものではありません。

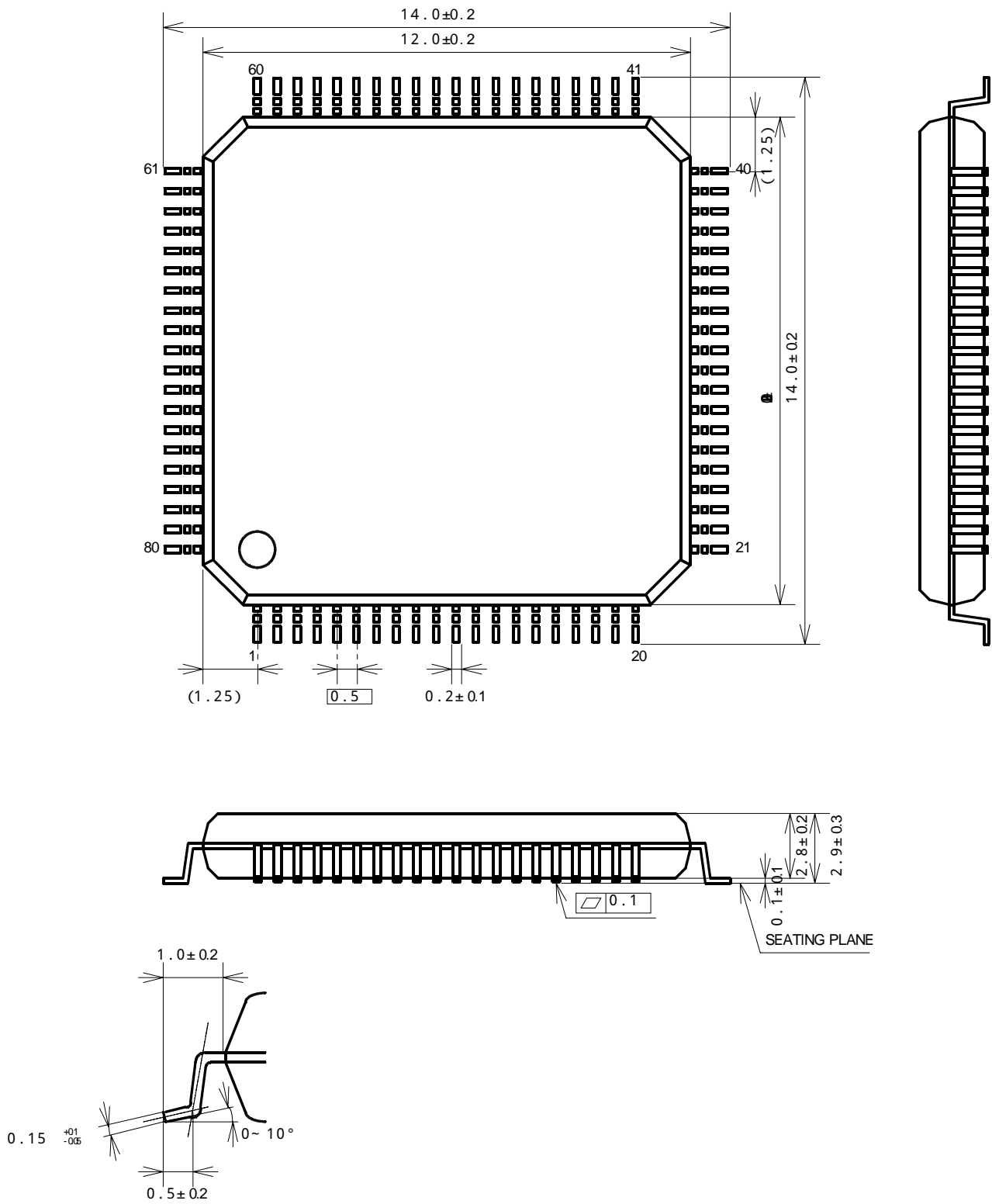


(2) VMEスレーブモード (BMODE=High)



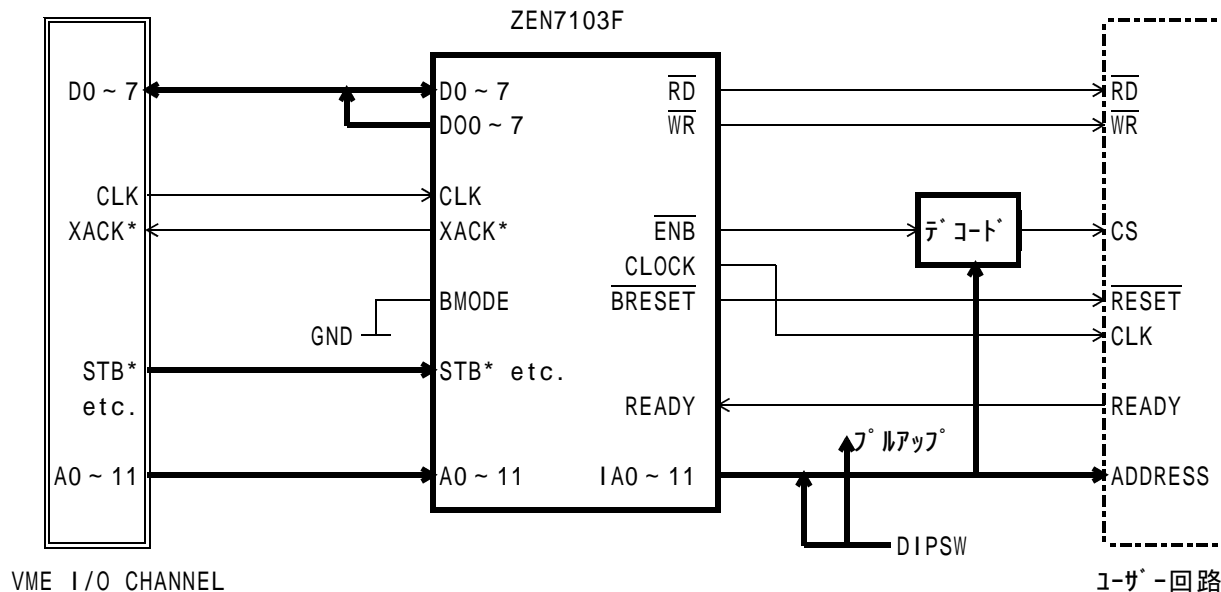
7、外形寸法図

単位：mm

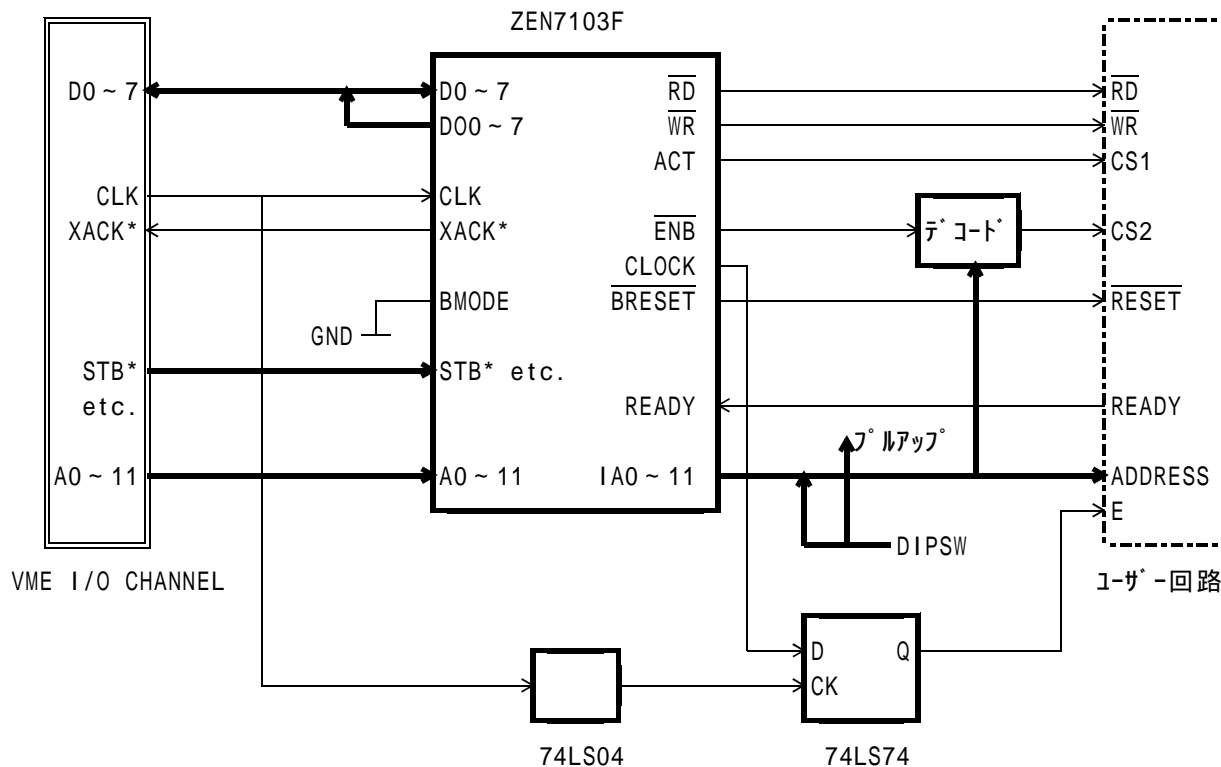


8、アプリケーションノート

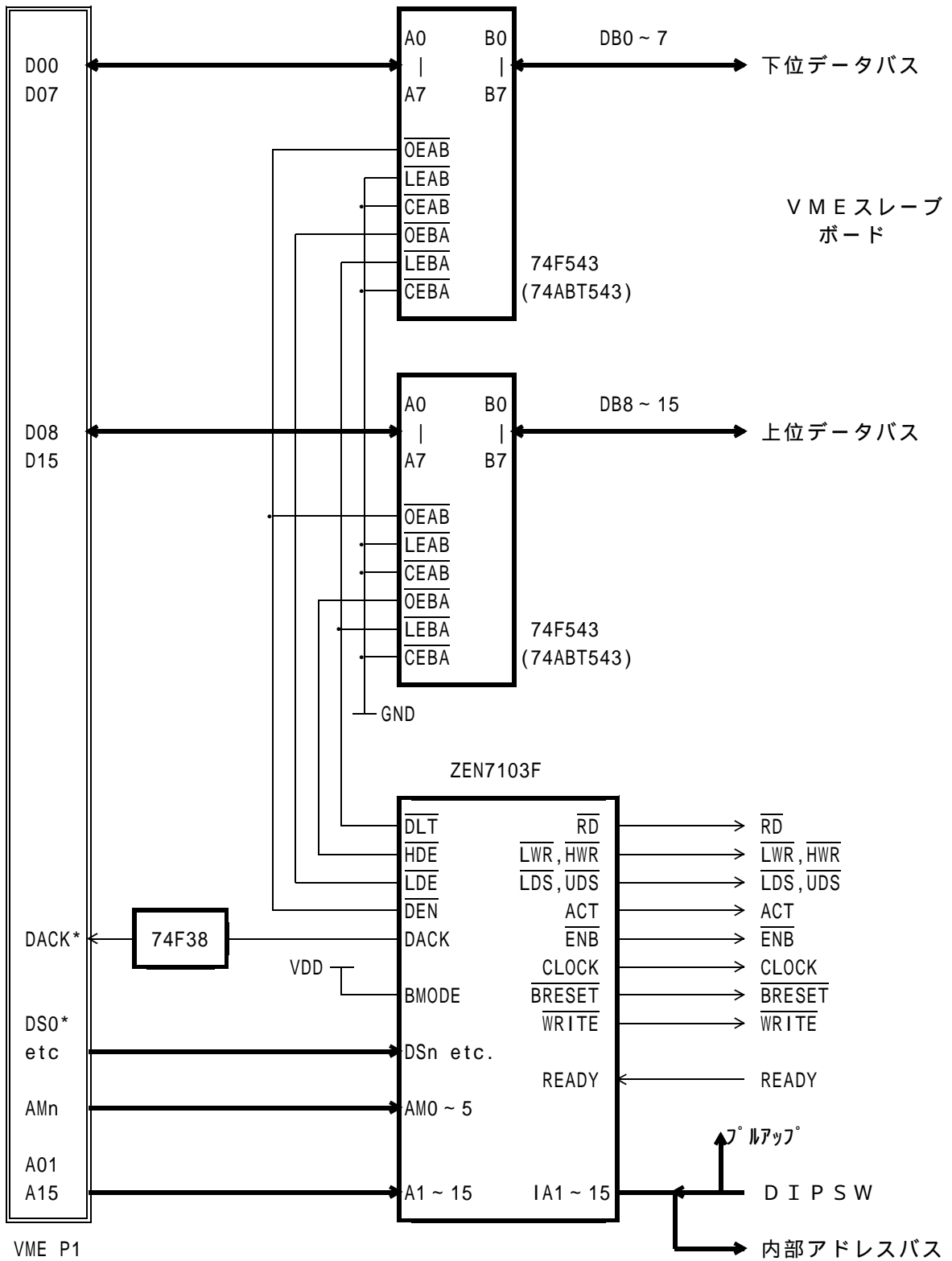
8 - 1、I/Oチャンネルモード(80系、EMODE=Low)周辺ブロック図



8 - 2、I/Oチャンネルモード(68系、EMODE=High)周辺ブロック図



8 - 3、VMEスレーブボード周辺ブロック図



ご 注 意

- 1) 本製品および本資料は株式会社ジーニックの著作物です。したがって、本資料の全部または一部を無断で複製、転載することをご遠慮下さい。
- 2) 本製品及び本資料の内容は性能向上のために、予告なく変更する場合があります。御使用に際しては、最新の資料を御請求願います。
- 3) 本資料に記載されております内容は工業所有権その他の権利の実施に対する保証または実施権の許諾を行うものではありません。
- 4) 本資料に記載されております応用回路例は基本的な使用方法を示したものであり、回路の動作を保証するものではありません。
- 5) 本製品の具体的な運用の結果、他への影響については、責任を負いかねますので御了承下さい。
- 6) 本製品は一般的な電子機器（電算機、計測機器、産業用ロボット、位置決め装置など）に使用されることを意図しています。したがって、人命に直接関わる輸送機器、医療機器、宇宙、原子力関係機器などには使用しないで下さい。



株式会社ジーニック

URL <http://www.zenic.co.jp/> E-mail support@zenic.co.jp
大津市大萱1丁目17-14 松政ビル6F 〒520-2144 TEL 077-543-2101 FAX 077-543-9431

(Z7103B96)ZENIC INC.