

電源スイッチ用 2 素子内蔵複合トランジスタ UMF9N

UMT パッケージに 2SC5585 と 2SK3019 を独立して内蔵。

●用途

パワーマネジメント回路

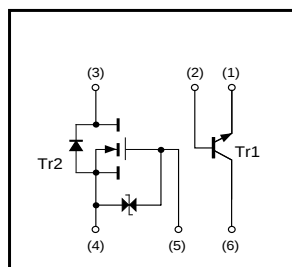
●特長

- 1) 電源スイッチ回路を 1 パッケージ化。
- 2) 実装コスト及び面積が半減できる。

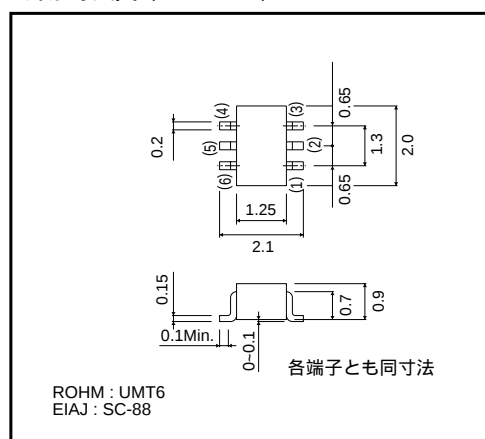
●構造

エピタキシャルプレーナ形複合トランジスタ

●内部等価回路図



●外形寸法図 (Units : mm)



●パッケージ、標印及び包装仕様

Type	UMF9N
パッケージ名	UMT6
標印	F9
包装記号	TR
基本発注単位	3000

トランジスタ

●絶対最大定格 (Ta=25°C)

Tr1

Parameter	Symbol	Limits	Unit
コレクタ・ベース間電圧	V _{CBO}	15	V
コレクタ・エミッタ間電圧	V _{CEO}	12	V
エミッタ・ベース間電圧	V _{EBO}	6	V
コレクタ電流	I _C	500	mA
	I _{CP}	1.0	A *1
コレクタ損失	P _C	150(TOTAL)	mW *2
接合部温度	T _j	150	°C
保存温度	T _{stg}	-55~+150	°C

*1 Single pulse P_w=1ms

*2 1素子当たり120mWを超えないこと。各端子を推奨ランドに実装した場合。

Tr2

Parameter	Symbol	Limits	Unit
ドレイン・ソース電圧	V _{DSS}	30	V
ゲート・ソース電圧	V _{GSS}	±20	V
ドレイン電流	直流 I _D	100	mA
	パルス I _{DP}	200	mA *1
ドレイン逆電流	直流 I _{DR}	100	mA
	パルス I _{DRP}	200	mA *1
全許容損失	P _D	150(TOTAL)	mW *2
チャネル部温度	T _{ch}	150	°C
保存温度	T _{stg}	-55~+150	°C

*1 P_w≤10ms Duty cycle≤50%

*2 1素子当たり120mWを超えないこと。各端子を推奨ランドに実装した場合。

●電気的特性 (Ta=25°C)

Tr1

Parameter	Symbol	Min.	Typ.	Max.	Unit	Conditions
コレクタ・エミッタ降伏電圧	BV _{CEO}	12	—	—	V	I _C =1mA
コレクタ・ベース降伏電圧	BV _{CBO}	15	—	—	V	I _C =10μA
エミッタ・ベース降伏電圧	BV _{EBO}	6	—	—	V	I _E =10μA
コレクタしゃ断電流	I _{CBO}	—	—	100	nA	V _{CB} =15V
エミッタしゃ断電流	I _{EBO}	—	—	100	nA	V _{EB} =6V
コレクタ・エミッタ飽和電圧	V _{CE(sat)}	—	100	250	mV	I _C =200mA, I _B =10mA
直流電流増幅率	h _{FE}	270	—	680	—	V _{CE} =2V, I _C =10mA
利得帯域幅積	f _T	—	320	—	MHz	V _{CE} =2V, I _E =-10mA, f=100MHz
出力容量	C _{ob}	—	7.5	—	pF	V _{CB} =10V, I _E =0mA, f=1MHz

Tr2

Parameter	Symbol	Min.	Typ.	Max.	Unit	Conditions
ゲート漏れ電流	I _{GSS}	—	—	±1	μA	V _{GS} =±20V, V _{DS} =0V
ドレイン・ソース降伏電圧	V _{(BR)DSS}	30	—	—	V	I _D =10μA, V _{GS} =0V
ドレインしゃ断電流	I _{DSS}	—	—	1.0	μA	V _{DS} =30V, V _{GS} =0V
ゲートしきい値電圧	V _{GS(th)}	0.8	—	1.5	V	V _{DS} =3V, I _D =100μA
ドレイン・ソース間オン抵抗	R _{DS(on)}	—	5	8	Ω	I _D =10mA, V _{GS} =4V
		—	7	13	Ω	I _D =1mA, V _{GS} =2.5V
順伝達直アドミタンス	Y _{ts}	20	—	—	ms	V _{DS} =3V, I _D =10mA
入力容量	C _{iss}	—	13	—	pF	V _{DS} =5V, V _{GS} =0V, f=1MHz
出力容量	C _{oss}	—	9	—	pF	
帰還容量	C _{rss}	—	4	—	pF	
ターンオン遅延時間	t _{d(on)}	—	15	—	ns	I _D =10mA, V _{DD} ≒5V, V _{GS} =5V, R _L =500Ω, R _{GS} =10Ω
立ち上がり時間	t _r	—	35	—	ns	
ターンオフ遅延時間	t _{d(off)}	—	80	—	ns	
下降時間	t _f	—	80	—	ns	

トランジスタ

●電気的特性曲線

Tr1

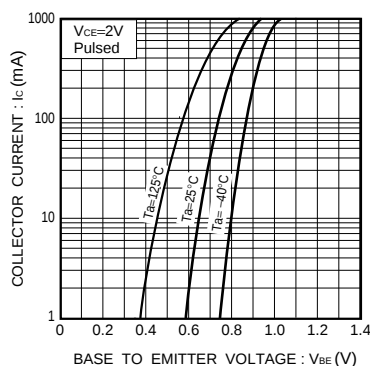


Fig.1 エミッタ接地伝達静特性

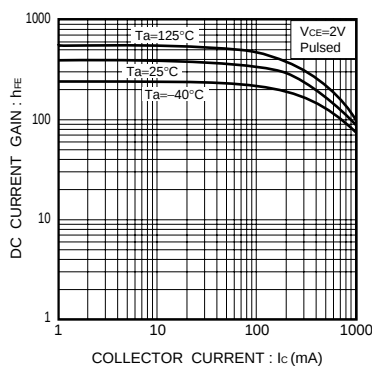


Fig.2 直流電流増幅率 - コレクタ電流特性

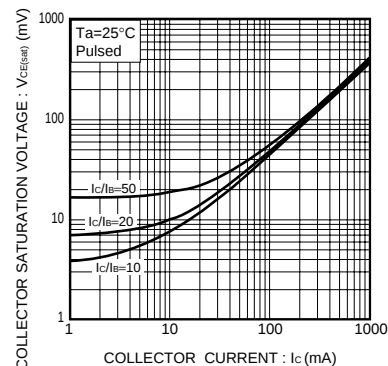
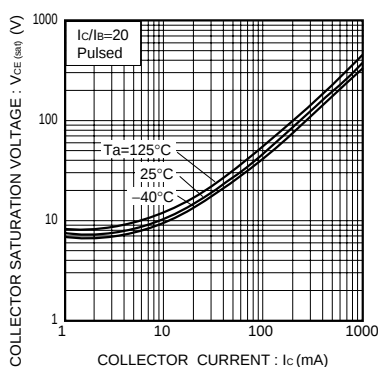
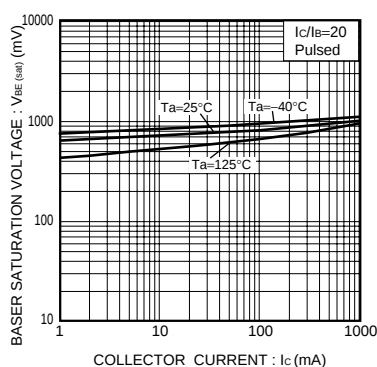
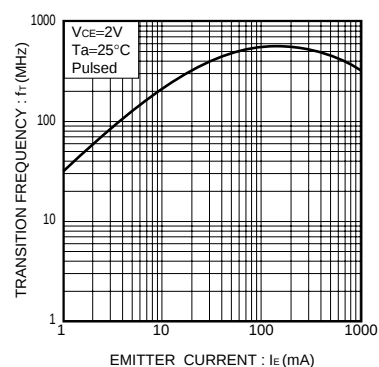
Fig.3 コレクタ・エミッタ間飽和電圧
- コレクタ電流特性 (I)Fig.4 コレクタ・エミッタ間飽和電圧
- コレクタ電流特性 (II)Fig.5 ベース・エミッタ間飽和電圧
- コレクタ電流特性

Fig.6 利特帯域幅積 - エミッタ電流特性

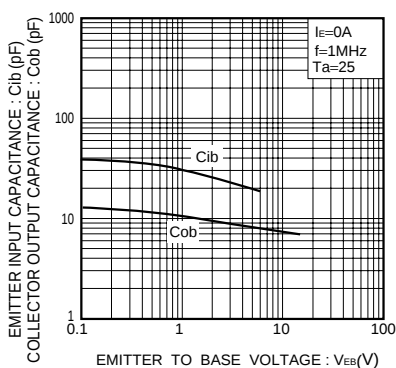
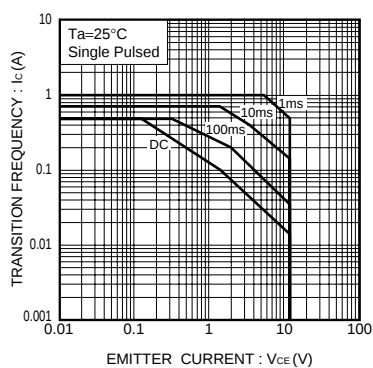
Fig.7 コレクタ出力容量
- コレクタ・ベース間電圧特性
エミッタ入力容量
- エミッタ・ベース間電圧特性

Fig.8 安全動作領域

トランジスタ

Tr2

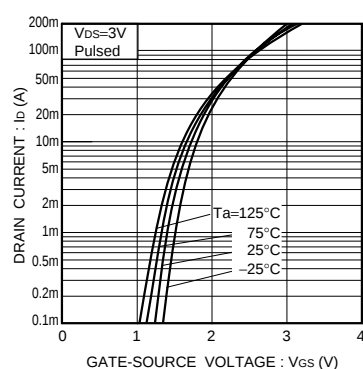


Fig.9 Typical transfer characteristics

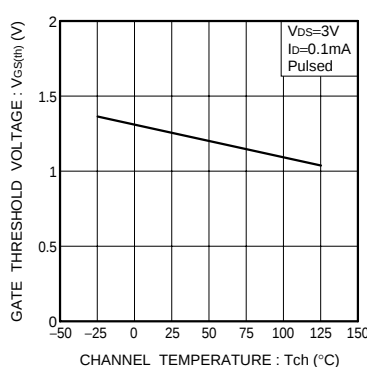


Fig.10 Gate threshold voltage vs. channel temperature

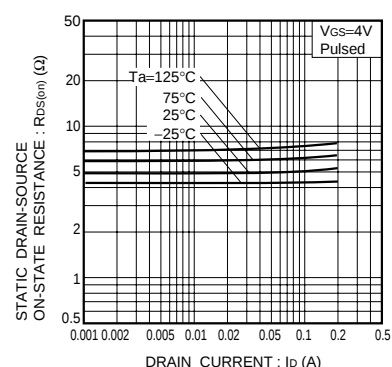


Fig.11 Static drain-source on-state resistance vs. drain current (I)

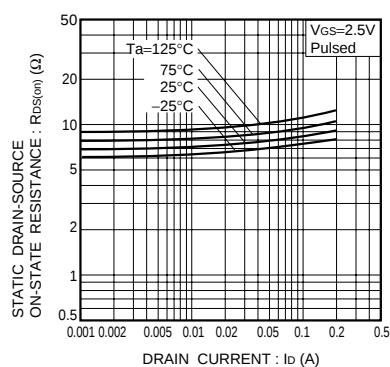


Fig.12 Static drain-source on-state resistance vs. drain current (II)

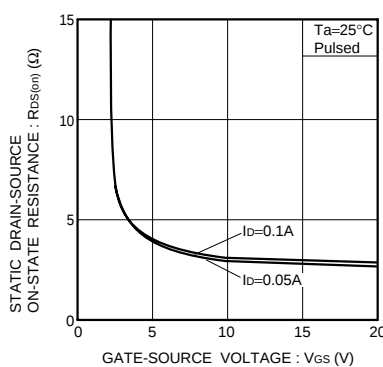


Fig.13 Static drain-source on-state resistance vs. gate-source voltage

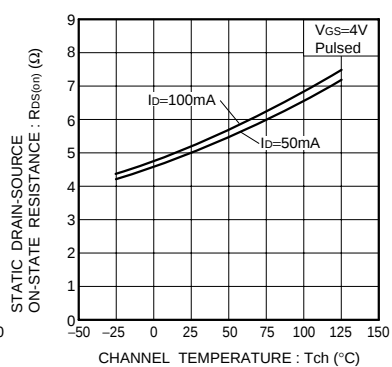


Fig.14 Static drain-source on-state resistance vs. channel temperature

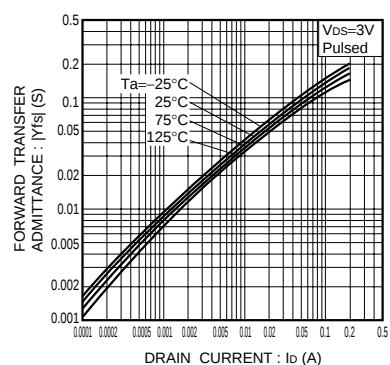


Fig.15 Forward transfer admittance vs. drain current

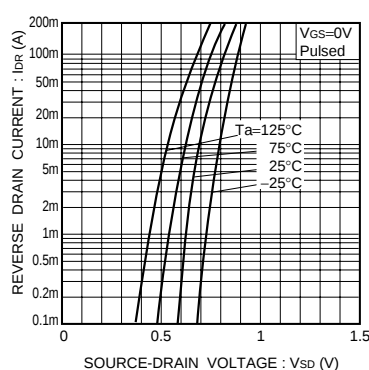


Fig.16 Reverse drain current vs. source-drain voltage (I)

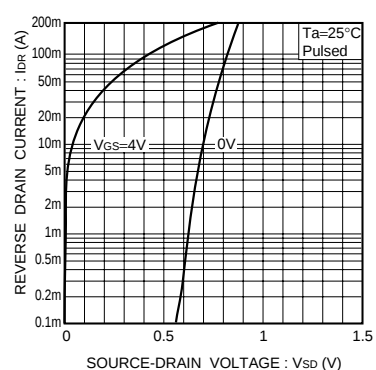


Fig.17 Reverse drain current vs. source-drain voltage (II)

トランジスタ

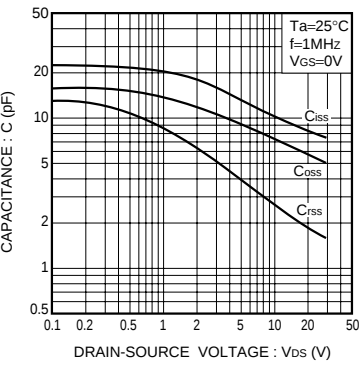


Fig.18 Typical capacitance vs. drain-source voltage

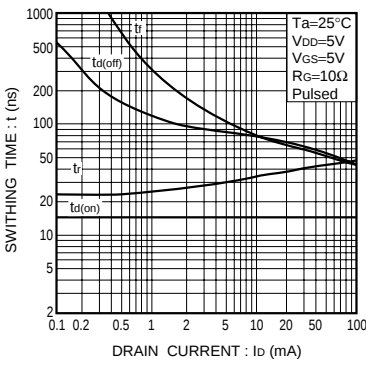


Fig.19 Switching characteristics